



①⑨ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

①⑫ **Offenlegungsschrift**  
①⑩ **DE 102 28 578 A 1**

⑤① Int. Cl. 7: (10)  
**G 11 C 11/14**

②① Aktenzeichen: 102 28 578.0  
②② Anmeldetag: 26. 6. 2002  
④③ Offenlegungstag: 16. 1. 2003

③⑩ Unionspriorität:  
01-196417 28. 06. 2001 JP  
⑦① Anmelder:  
Mitsubishi Denki K.K., Tokio/Tokyo, JP  
⑦④ Vertreter:  
Prüfer und Kollegen, 81545 München

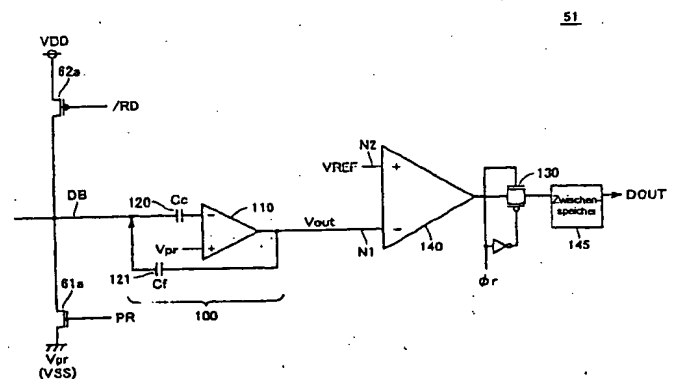
⑦② Erfinder:  
Hidaka, Hideto, Tokio/Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Dünnschicht-Magnetspeichervorrichtung mit Speicherzellen, die ein Tunnel-Magnetwiderstandselement enthalten

⑤⑦ Die Erfindung betrifft eine Dünnschicht-Magnetspeichervorrichtung, die einen wahlfreien Zugriff ermöglicht und Speicherzellen (MC) mit einem Magnettunnelübergang (MTJ) enthält. Ein Datenbus (DB) wird vor der Datenleseoperation auf eine Vorladespannung ( $V_{pr}$ ) vorgeladen. In der Datenleseoperation wird der auf diese Weise vorgeladene Datenbus (DB) über eine ausgewählte Speicherzelle (MC) elektrisch mit der gleichen Spannung wie der Vorladespannung ( $V_{pr}$ ) gekoppelt. Ein Ansteuertransistor (62a) koppelt den Datenbus (DB) in der Datenleseoperation mit einer Stromversorgungsspannung (Ansteuerspannung), um einen Abtaststrom zuzuführen. Ein Ladungstransfer-Verstärkerabschnitt (100) erzeugt gemäß einem Integralwert des über den Datenbus (DB) fließenden Abtaststroms (Datenlesestroms) eine Ausgangsspannung ( $V_{out}$ ), während er den Datenbus (DB) auf der Vorladespannung erhält. Ein Transferringatter (130), ein Differenzverstärker (140) und eine Zwischenspeicherschaltung (145) erzeugen zu einer vorgegebenen Zeit anhand der abgetasteten Ausgangsspannung die Lesedaten (DOUT).



BEST AVAILABLE COPY

DE 102 28 578 A 1

DE 102 28 578 A 1

[0001] Die Erfindung betrifft das Gebiet der Dünnschicht-Magnetspeichervorrichtungen und insbesondere eine Dünnschicht-Magnetspeichervorrichtung, die einen wahlfreien Zugriff ermöglicht und Speicherzellen mit einem Magnet-tunnelübergang (MTJ) enthält.

[0002] Eine MRAM-Vorrichtung (Magnet-Schreib-Lese-Speichervorrichtung) hat als Speichervorrichtung, die eine nichtflüchtige Datenspeicherung bei niedrigem Leistungsverbrauch ermöglicht, Aufmerksamkeit erregt. Die MRAM-Vorrichtung ist eine Speichervorrichtung, die die nichtflüchtige Datenspeicherung unter Verwendung mehrerer Dünnschicht-Magnetelemente, die in einer integrierten Halbleiterschaltung ausgebildet sind, sowie den wahlfreien Zugriff auf jedes Dünnschicht-Magnetelement ermöglicht.

[0003] Insbesondere zeigt die jüngste Ankündigung, daß die Leistung der MRAM-Vorrichtung unter Verwendung von Tunnel-Magnetwiderstandselementen mit Magnet-tunnelübergang (MTJ) als Speicherzellen erheblich verbessert worden ist. Die MRAM-Vorrichtung, die Speicherzellen mit Magnet-tunnelübergang enthält, ist in Fachdokumenten wie etwa "A 10 ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in Each Cell", ISSCC Digest of Technical Papers, TA7.2, Februar 2000, und "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", ISSCC Digest of Technical Papers, TA7.3, Februar 2000, offenbart.

[0004] Fig. 13 ist ein Prinzipschaltbild der Konstruktion einer Speicherzelle mit einem Magnet-tunnelübergang (im folgenden gelegentlich einfach als "MTJ-Speicherzelle" bezeichnet).

[0005] Wie in Fig. 13 gezeigt ist, enthält die MTJ-Speicherzelle ein Tunnel-Magnetwiderstandselement TMR, dessen Wert des elektrischen Widerstands sich gemäß dem Ablagedatenpegel ändert, und einen Zugriffstransistor ATR. Der Zugriffstransistor ATR ist ein Feldeffekttransistor, der zwischen das Tunnel-Magnetwiderstandselement TMR und die Massespannung VSS geschaltet ist.

[0006] Für die MTJ-Speicherzelle sind eine Schreibwortleitung WWL zum Anweisen einer Datenschreiboperation, eine Lesewortleitung RWL zum Anweisen einer Datenleseoperation und eine Bitleitung BL, die in den Datenlese- und -schreiboperationen als Datenleitung zum Übertragen eines dem Ablagedatenpegel entsprechenden elektrischen Signals dient, vorgesehen.

[0007] Fig. 14 ist ein konzeptionelles Diagramm, das die Operation des Lesens von Daten auf der MTJ-Speicherzelle zeigt.

[0008] Wie in Fig. 14 gezeigt ist, besitzt das Tunnel-Magnetwiderstandselement TMR eine Magnetschicht FL mit einem festen Magnetfeld mit einer festen Richtung (im folgenden gelegentlich einfach als "Magnetschicht FL" bezeichnet) und eine Magnetschicht VL mit einem freien Magnetfeld (im folgenden gelegentlich einfach als "freie Magnetschicht VL" bezeichnet). Zwischen der festen Magnetschicht FL und der freien Magnetschicht VL ist ein Tunnelübergang TB mit einem Isolierfilm vorgesehen. Gemäß dem Ablagedatenpegel ist auf nichtflüchtige Weise entweder ein Magnetfeld mit der gleichen Richtung wie das der festen Magnetschicht FL oder ein Magnetfeld mit einer anderen Richtung als jene der festen Magnetschicht FL in die freie Magnetschicht VL geschrieben worden.

[0009] In der Datenleseoperation wird als Antwort auf die Aktivierung der Lesewortleitung RWL der Zugriffstransistor ATR eingeschaltet. Im Ergebnis fließt über einen aus der Bitleitung BL, dem Tunnel-Magnetwiderstandselement TMR, dem Zugriffstransistor ATR und der Massespannung

VSS gebildeten Stromweg ein Abtaststrom  $I_s$ . Der Abtaststrom  $I_s$  wird als konstanter Strom von einer nicht gezeigten Steuerschaltung zugeführt.

[0010] Der Wert des elektrischen Widerstands des Tunnel-Magnetwiderstandselements TMR ändert sich gemäß der relativen Beziehung der Magnetfeldrichtung zwischen der festen Magnetschicht FL und der freien Magnetschicht VL. Genauer hat das Tunnel-Magnetwiderstandselement TMR, wenn die feste Magnetschicht FL und die freie Magnetschicht VL die gleiche Magnetfeldrichtung haben, im Vergleich zu dem Fall, in dem die beiden Magnetschichten verschiedene Magnetfeldrichtungen haben, einen kleineren Wert des elektrischen Widerstands. Die den Ablagedaten "1" und "0" entsprechenden Werte des elektrischen Widerstands des Tunnel-Magnetwiderstandselements werden hier mit  $R_1$  bzw.  $R_0$  bezeichnet (wobei  $R_1 > R_0$  und  $R_1 = R_0 + \Delta R$  ist).

[0011] Somit ändert sich der Wert des elektrischen Widerstands des Tunnel-Magnetwiderstandselements TMR gemäß einem von außen angelegten Magnetfeld. Dies ermöglicht, anhand der Änderungsscharakteristik eines Wertes des elektrischen Widerstands des Tunnel-Magnetwiderstandselements TMR eine Datenspeicherung durchzuführen. Im allgemeinen besitzt das auf die MRAM-Vorrichtungen angewendete Tunnel-Magnetwiderstandselement TMR einen Wert des elektrischen Widerstands im Bereich etwa von mehreren Kiloohm bis etwa zu mehreren zehn Kiloohm.

[0012] Eine Spannungsänderung in dem Tunnel-Magnetwiderstandselement TMR wegen des Abtaststroms  $I_s$  ändert sich je nach der in der freien Magnetschicht VL gespeicherten Magnetfeldrichtung. Somit kann dadurch, daß mit der Zufuhr des Abtaststroms  $I_s$  begonnen wird, während die Bitleitung BL auf eine hohe Spannung vorgeladenen ist, durch Überwachen einer Änderung des Spannungspegels auf der Bitleitung BL der Ablagedatenpegel in der MTJ-Speicherzelle gelesen werden.

[0013] Fig. 15 zeigt ein konzeptionelles Diagramm der Operation des Schreibens von Daten in die MTJ-Speicherzelle.

[0014] Wie in Fig. 15 gezeigt ist, ist in der Datenschreiboperation die Lesewortleitung RWL deaktiviert, so daß der Zugriffstransistor ATR ausgeschaltet ist. In diesem Zustand wird der Schreibwortleitung WWL und der Bitleitung BL ein Datenschreibstrom zum Schreiben eines Magnetfelds in die freie Magnetschicht VL zugeführt. Die Magnetfeldrichtung der freien Magnetschicht VL ist durch die Kombination der jeweiligen Richtungen der durch die Schreibwortleitung WWL und durch die Bitleitung BL fließenden Datenschreibströme bestimmt.

[0015] Fig. 16 ist ein konzeptionelles Diagramm der Beziehung zwischen den jeweiligen Richtungen des Datenschreibstroms und des Magnetfelds in der Datenschreiboperation.

[0016] Wie in Fig. 16 gezeigt ist, gibt ein Magnetfeld  $H_x$  auf der Abszisse die Richtung eines durch den durch die Bitleitung BL fließenden Datenschreibstrom erzeugten Magnetfelds  $H(BL)$  an. Ein Magnetfeld  $H_y$  auf der Ordinate gibt die Richtung eines durch den durch die Schreibwortleitung WWL fließenden Datenschreibstrom erzeugten Magnetfelds  $H(WWL)$  an.

[0017] Die in der freien Magnetschicht VL gespeicherte Magnetfeldrichtung wird nur dann aktualisiert, wenn die Summe der Magnetfelder  $H(BL)$  und  $H(WWL)$  das Gebiet außerhalb der in der Figur gezeigten sternförmigen Kennlinie erreicht. Mit anderen Worten, die in der freien Magnetschicht VL gespeicherte Magnetfeldrichtung wird nicht aktualisiert, wenn ein Magnetfeld angelegt wird, das dem Gebiet in der sternförmigen Kennlinie entspricht.

[0018] Dementsprechend muß zum Aktualisieren der Ablagedaten des Tunnel-Magnetwiderstandselements TMR durch die Datenschreiboperation sowohl an die Schreibwortleitung WWL als auch an die Bitleitung BL ein Strom angelegt werden. Wenn die Magnetfeldrichtung in dem Tunnel-Magnetwiderstandselement TMR gespeichert ist, wird die Magnetfeldrichtung, d. h. werden die Ablagedaten, darin auf nichtflüchtige Weise gehalten, bis eine weitere Datenschreiboperation durchgeführt wird.

[0019] In der Datenleseoperation fließt durch die Bitleitung BL der Abtaststrom  $I_s$ . Allerdings wird der Abtaststrom  $I_s$  allgemein auf einen Wert eingestellt, der etwa eine bis zwei Größenordnungen kleiner als der Datenschreibstrom ist. Somit ist es unwahrscheinlich, daß die Ablagedaten in der MTJ-Speicherzelle während der Datenleseoperation durch den Abtaststrom  $I_s$  fehlerhaft überschrieben werden.

[0020] Die obenerwähnten Fachdokumente offenbaren die Technologie der Bildung einer MRAM-Vorrichtung, eines Schreib-Lese-Speichers, durch Integrieren solcher MTJ-Speicherzellen auf einem Halbleitersubstrat.

[0021] Fig. 17 ist ein konzeptionelles Diagramm der integrierten in einer Matrix angeordneten MTJ-Speicherzellen.

[0022] Wie in Fig. 17 gezeigt ist, kann durch Anordnen der MTJ-Speicherzellen in einer Matrix auf dem Halbleitersubstrat eine hochintegrierte MRAM-Vorrichtung realisiert werden. Fig. 17 zeigt die in  $n$  Zeilen mal  $m$  Spalten (wobei  $n$ ,  $m$  natürliche Zahlen sind) angeordneten MTJ-Speicherzellen. Hierbei sind für die  $n \times m$  MTJ-Speicherzellen  $n$  Schreibwortleitungen WWL1 bis WWLn,  $n$  Lesewortleitungen RWL1 bis RWLn und  $m$  Bitleitungen BL1 bis BLm vorgesehen.

[0023] In der Datenleseoperation wird wahlweise eine der Lesewortleitungen RWL1 bis RWLn aktiviert, so daß die Speicherzellen in der ausgewählten Speicherzellenzeile (die im folgenden gelegentlich einfach als "ausgewählte Zeile" bezeichnet wird) elektrisch jeweils zwischen die Bitleitungen BL1 bis BLm und die Massespannung VSS geschaltet werden. Im Ergebnis ändert sich die Spannung auf jeder Bitleitung BL1 bis BLm gemäß dem Ablagedatenpegel in einer entsprechenden Speicherzelle.

[0024] Somit kann der Ablagedatenpegel der ausgewählten Speicherzelle durch Vergleichen der Spannung auf der Bitleitung der ausgewählten Speicherzellenspalte (die im folgenden gelegentlich einfach als "ausgewählte Spalte" bezeichnet wird) mit einer vorgeschriebenen Referenzspannung unter Verwendung eines Leseverstärkers oder dergleichen gelesen werden.

[0025] Zum Erzeugen einer solchen Referenzspannung wird allgemein eine Scheinspeicherzelle verwendet. Beispielsweise kann als Scheinspeicherzelle zur Verwendung in der Operation des Lesens von Daten aus der MTJ-Speicherzelle ein Scheinwiderstand mit einem Wert  $R_d$  des elektrischen Widerstands, der einen Zwischenwert der Werte  $R_1$  und  $R_0$  des elektrischen Widerstands entspricht, verwendet werden. Die Werte  $R_1$  und  $R_0$  des elektrischen Widerstands entsprechen jeweils den Werten des elektrischen Widerstands der MTJ-Speicherzelle, in der die Daten "1 (H-Pegel)" und "0 (L-Pegel)" gespeichert sind. Die Referenzspannung kann dadurch erzeugt werden, daß dem Scheinwiderstand der gleiche Lesestrom  $I_s$  wie der MTJ-Speicherzelle zugeführt wird.

[0026] Allerdings erfordert die Datenleseoperation die Operation des Ladens und Entladens einer Datenleitung wie etwa einer Bitleitung, an die ein Tunnel-Magnetwiderstandselement TMR mit einem verhältnismäßig hohen elektrischen Widerstandselement angeschlossen ist, was es möglicherweise erschwert, die Geschwindigkeit der Datenlese-

operation zu erhöhen.

[0027] Wie in den obenerwähnten Fachdokumenten beschrieben ist, wird, während eine an die beiden Anschlüsse des Magnetunnelübergangs, d. h. an die beiden Anschlüsse des Tunnel-Magnetwiderstandselements TMR, angelegte Vorspannung erhöht wird, eine Änderung des Wertes des elektrischen Widerstands  $\Delta R$ , die der relativen Beziehung der Magnetisierungsrichtung zwischen der festen Magnetschicht FL und der freien Magnetschicht VL, d. h. dem Ablagedatenpegel, entspricht, verringert. Somit ändert sich die Spannung auf der Bitleitung, die dem Ablagedatenpegel entspricht, nicht merklich, wenn die an beide Anschlüsse der MTJ-Speicherzelle angelegte Spannung in der Datenleseoperation erhöht wird. Dies kann die Geschwindigkeit und Stabilität der Datenleseoperation möglicherweise beeinträchtigen.

[0028] Außerdem wird die Genauigkeit der Referenzspannung wesentlich durch den Wert des elektrischen Widerstands des Scheinwiderstands in der Scheinspeicherzelle beeinflusst. Somit ist es schwierig, die Referenzspannung in Übereinstimmung mit der Herstellungsschwankung genau einzustellen.

[0029] Der Erfindung liegt daher die Aufgabe zugrunde, eine Dünnschicht-Magnetspeichervorrichtung zu schaffen, die eine schnelle, stabile Datenleseoperation ermöglicht.

[0030] Diese Aufgabe wird erfindungsgemäß gelöst durch eine Dünnschicht-Magnetspeichervorrichtung nach Anspruch 1, 9 oder 13. Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

[0031] Eine Dünnschicht-Magnetspeichervorrichtung gemäß der Erfindung enthält mehrere Magnetspeicherzellen, eine erste Datenleitung, eine erste Vorladeschaltung, eine erste Leseansteuerschaltung und einen ersten Ladungsübertragungsrückkopplungs-Verstärkerabschnitt sowie einen Verstärkerabschnitt. Der Wert des elektrischen Widerstands jeder der mehreren Magnetspeicherzellen ändert sich gemäß einem durch ein angelegtes Magnetfeld in sie geschriebenen Ablagedatenpegels. In einer Datenleseoperation wird die erste Datenleitung über eine ausgewählte der mehreren Magnetspeicherzellen mit einer ersten Spannung elektrisch gekoppelt. Die erste Vorladeschaltung stellt die erste Datenleitung vor der Datenleseoperation auf eine Vorladespannung ein. Die erste Leseansteuerschaltung führt der ersten Datenleitung in der Datenleseoperation einen Datenlesestrom zu. Zwischen der ersten Datenleitung und einem ersten internen Knoten ist der erste Ladungsübertragungsrückkopplungs-Verstärkerabschnitt vorgesehen, um eine Spannung auf der ersten Datenleitung aufrechtzuerhalten und an dem ersten internen Knoten gemäß einem Integralwert des durch die erste Datenleitung fließenden Datenlesestroms eine erste Ausgangsspannung zu erzeugen. Der Verstärkerabschnitt erzeugt anhand der Spannung an dem ersten internen Knoten die Lesedaten.

[0032] Vorzugsweise ist die Vorladespannung die erste Spannung, wobei die erste Leseansteuerschaltung in der Datenleseoperation die erste Datenleitung mit einer zweiten Spannung koppelt.

[0033] Vorzugsweise enthält der Ladungsübertragungsrückkopplungs-Verstärkerabschnitt einen Operationsverstärker, der eine Spannungsdifferenz zwischen dem ersten und dem zweiten Eingangsknoten verstärkt und an dem ersten internen Knoten die erste Ausgangsspannung erzeugt, einen Ladungsübertragungsabschnitt, der zwischen die erste Datenleitung und den ersten Eingangsknoten geschaltet ist, um eine Spannungsänderung auf der ersten Datenleitung wegen des Datenlesestroms an den ersten Eingangsknoten zu senden, und einen Ladungsrückkopplungsabschnitt, der zwischen den ersten internen Knoten und die erste Datenlei-

tung geschaltet ist, um gemäß einer Änderung der ersten Ausgangsspannung Ladungen zuzuführen und so die Spannungsänderung auf der ersten Datenleitung von der ersten Spannung aufzuheben. Die Vorladespannung wird an den zweiten Eingangsknoten angelegt.

[0034] Vorzugsweise sind die mehreren Magnetspeicherzellen in einer Matrix angeordnet. Ferner enthält die Dünnfilm-Magnetspeichervorrichtung: mehrere Wortleitungen, die jeweils entsprechend den Magnetspeicherzellenzeilen vorgesehen sind; mehrere Bitleitungen, die jeweils entsprechend den Magnetspeicherzellenzeilen vorgesehen sind; und einen Spaltenauswahlabschnitt, der eine der mehreren Bitleitungen, die mit der ausgewählten Magnetspeicherzelle elektrisch gekoppelt ist, mit der ersten Datenleitung verbindet.

[0035] Alternativ enthält die Dünnfilm-Magnetspeichervorrichtung vorzugsweise ferner: eine Scheinspeicherzelle mit einem Zwischenwert der zwei Werte des elektrischen Widerstands jeder Magnetspeicherzelle, wobei die zwei Werte des elektrischen Widerstands jeweils den zwei Ablagedatenpegeln entsprechen; eine zweite Datenleitung, die in der Datenleseoperation über die Scheinspeicherzelle elektrisch mit der ersten Spannung gekoppelt wird; eine zweite Vorladeschaltung, die die zweite Datenleitung vor der Datenleseoperation auf die Vorladespannung einstellt; eine zweite Leseansteuerschaltung, die der zweiten Datenleitung in der Datenleseoperation einen Datenlesestrom zuführt; und einen zweiten Ladungstransferrückkopplungs-Verstärkerabschnitt, der zwischen der zweiten Datenleitung und einem zweiten internen Knoten vorgesehen ist, um eine Spannung auf der zweiten Datenleitung aufrechtzuerhalten und gemäß einem Integralwert des durch die zweite Datenleitung fließenden Datenlesestroms an dem zweiten internen Knoten eine zweite Ausgangsspannung zu erzeugen. Der Verstärkerabschnitt erzeugt die Lesedaten gemäß einer Spannungsdifferenz zwischen dem ersten und dem zweiten internen Knoten.

[0036] Insbesondere ist die Vorladespannung die erste Spannung, wobei die erste bzw. die zweite Leseansteuerschaltung in der Datenleseoperation die erste und die zweite Datenleitung mit einer zweiten Spannung koppelt.

[0037] Vorzugsweise enthält die Dünnfilm-Magnetspeichervorrichtung ferner: eine Scheinspeicherzelle mit einem Zwischenwert der zwei Werte des elektrischen Widerstands jeder Magnetspeicherzelle, wobei die zwei Werte des elektrischen Widerstands jeweils den zwei Ablagedatenpegeln entsprechen; eine zweite Datenleitung, die in der Datenleseoperation über die Scheinspeicherzelle elektrisch mit der ersten Spannung gekoppelt ist; eine zweite Vorladeschaltung, die die zweite Datenleitung vor der Datenleseoperation auf die Vorladespannung einstellt; eine zweite Leseansteuerschaltung, die der zweiten Datenleitung in der Datenleseoperation den Datenlesestrom zuführt; einen zweiten Ladungstransferrückkopplungs-Verstärkerabschnitt, der zwischen der zweiten Datenleitung und einem zweiten internen Knoten vorgesehen ist, um eine Spannung auf der zweiten Datenleitung aufrechtzuerhalten und gemäß einem Integralwert des durch die zweite Datenleitung fließenden Datenlesestroms an dem zweiten internen Knoten eine zweite Ausgangsspannung zu erzeugen; und einen Ladungsrückkopplungsabschnitt, der zwischen den zweiten internen Knoten und die erste Datenleitung geschaltet ist, um eine Änderung der zweiten Ausgangsspannung mit umgekehrter Polarität an die erste Datenleitung rückzukoppeln.

[0038] Vorzugsweise ist die Vorladespannung die erste Spannung, wobei die erste bzw. die zweite Leseansteuerschaltung in der Datenleseoperation die erste und die zweite Datenleitung mit einer zweiten Spannung koppelt.

[0039] Eine solche Dünnfilm-Magnetspeichervorrichtung ermöglicht die Unterdrückung einer Vorspannung, die in der Datenleseoperation an beide Anschlüsse der ausgewählten Magnetspeicherzelle angelegt wird. Dementsprechend tritt eine Änderung des Wertes des elektrischen Widerstands in der Magnetspeicherzelle gemäß dem Ablagedatenpegel wahrscheinlicher auf, was eine verbesserte Geschwindigkeit und Stabilität der Datenleseoperation ermöglicht.

[0040] Außerdem können dadurch, daß die Bitleitungen und die erste Datenleitung auf hierarchische Weise vorgesehen sind, mehrere Magnetspeicherzellen in einer Matrix angeordnet sein, wobei sie die der Datenleseoperation zugeordnete Schaltungsanordnung gemeinsam nutzen.

[0041] Außerdem wird die Datenleseoperation anhand eines Vergleichs zwischen der Scheinspeicherzelle und der ausgewählten Magnetspeicherzelle durchgeführt. Dadurch kann die Datenleseoperation innerhalb eines Grenzwerts der Zeit der Abtastung der ersten Ausgangsspannung von dem ersten Ladungsübertragungsrückkopplungs-Verstärkerabschnitt genau durchgeführt werden, was eine weiter stabilisierte Datenleseoperation ermöglicht. Insbesondere wird die Spannungsdifferenz zwischen der ersten und der zweiten Datenleitung verstärkt, um über den Ladungsrückkopplungsabschnitt die erste Ausgangsspannung zu erzeugen, wodurch eine vereinfachte Schaltungsanordnung des Verstärkerabschnitts zum Erzeugen der Daten ermöglicht wird.

[0042] Eine Dünnfilm-Magnetspeichervorrichtung gemäß einem weiteren Aspekt der Erfindung enthält mehrere Magnetspeicherzellen, eine erste Datenleitung, eine Scheinspeicherzelle, eine zweite Datenleitung und eine Datenlese-schaltung. Jede der mehreren Magnetspeicherzellen speichert die durch ein angelegtes Magnetfeld geschriebenen Daten. Jede Magnetspeicherzelle enthält einen Magnetablageabschnitt mit einem ersten Wert des elektrischen Widerstands oder einem zweiten Wert des elektrischen Widerstands, der gemäß einem Pegel der Ablagedaten größer als der erste Wert des elektrischen Widerstands ist, und ein Speicherzellen-Auswahlgatter, das mit dem Magnetablageabschnitt in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist. Die erste Datenleitung ist mit dem Magnetablageabschnitt und dem leitenden Speicherzellen-Auswahlgatter einer ausgewählten Magnetspeicherzelle elektrisch gekoppelt und empfängt in der Datenleseoperation einen Datenlesestrom. Die Scheinspeicherzelle besitzt einen Zwischenwert zwischen dem ersten und dem zweiten Wert des elektrischen Widerstands. Die Scheinspeicherzelle enthält einen Scheinwiderstandsabschnitt mit dem ersten Wert des elektrischen Widerstands und ein Schein-Speicherzellen-Auswahlgatter, das mit dem Scheinwiderstandsabschnitt in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist. Die zweite Datenleitung ist mit dem Scheinwiderstandsabschnitt und dem leitenden Schein-Speicherzellen-Auswahlgatter elektrisch gekoppelt und empfängt in der Datenleseoperation den Datenlesestrom. Die Datenlese-schaltung erzeugt anhand der Spannungsänderung auf der ersten und auf der zweiten Datenleitung die Lesedaten.

[0043] Ein Wert des elektrischen Widerstands des leitenden Schein-Speicherzellen-Auswahlgatters ist größer als ein dritter Wert des elektrischen Widerstands und kleiner als eine Summe einer Differenz zwischen dem zweiten und dem ersten Wert des elektrischen Widerstands und dem dritten Wert des elektrischen Widerstands. Der dritte Wert des elektrischen Widerstands ist ein Wert des elektrischen Widerstands des leitenden Speicherzellen-Auswahlgatters.

[0044] Vorzugsweise enthält jedes der Speicherzellen-Auswahlgatter einen ersten Feldeffekttransistor und das Scheinspeicherzellen-Auswahlgatter einen zweiten Feldeffekttransistor, wobei wenigstens dessen Gate-Breite oder

dessen Gate-Länge verschieden von der des ersten Feldeffekttransistors ist.

[0045] Alternativ enthält jedes der Speicherzellen-Auswahlgatter vorzugsweise einen ersten Feldeffekttransistor und das Scheinspeicherzellen-Auswahlgatter einen zweiten Feldeffekttransistor, der den dritten Wert des elektrischen Widerstands besitzt, wenn er leitend ist, und einen dritten Feldeffekttransistor, der mit dem zweiten Feldeffekttransistor in Serie geschaltet ist und dessen Wert des elektrischen Widerstands kleiner als die Differenz ist, wenn er leitend ist. Der zweite Feldeffekttransistor ist gemeinsam mit dem ersten Feldeffekttransistor konstruiert.

[0046] Vorzugsweise enthält der Scheinwiderstandsabschnitt einen Magnetablageabschnitt zum Speichern eines dem ersten Wert des elektrischen Widerstands entsprechenden Datenpegels. Der in dem Scheinwiderstandsabschnitt enthaltene Magnetablageabschnitt besitzt die gleiche Konstruktion wie der in jeder Magnetspeicherzelle enthaltene Magnetablageabschnitt.

[0047] Eine solche Dünnschicht-Magnetspeichervorrichtung ermöglicht, daß der Magnetablageabschnitt in der Magnetspeicherzelle und der Scheinwiderstandsabschnitt in der Scheinspeicherzelle unter Verwendung der Magnetablageabschnitte mit einem gemeinsamen Entwurf in der gleichen Matrix ausgebildet werden. Dementsprechend kann der Wert des elektrischen Widerstands der Scheinspeicherzelle geeignet eingestellt werden, während er eine Herstellungsschwankung zuläßt. Im Ergebnis kann ein Leseoperationsgrenzwert unabhängig von der Herstellungsschwankung sichergestellt werden.

[0048] Eine Dünnschicht-Magnetspeichervorrichtung gemäß einem weiteren Aspekt der Erfindung enthält mehrere Magnetspeicherzellen, eine Scheinspeicherzelle, eine erste Datenleitung, eine zweite Datenleitung, eine Datenleseschaltung und eine Scheinwiderstands-Additionsschaltung. Jede der mehreren Magnetspeicherzellen speichert durch ein angelegtes Magnetfeld geschriebene Daten. In der Datenleseoperation wird die Scheinspeicherzelle mit einer ausgewählten der mehreren Magnetspeicherzellen verglichen. Sowohl die Magnetspeicherzelle als auch die Scheinspeicherzelle enthält einen Magnetablageabschnitt mit einem ersten Wert des elektrischen Widerstands oder mit einem zweiten Wert des elektrischen Widerstands, der gemäß einem Pegel der Ablagedaten größer als der erste Wert des elektrischen Widerstands ist, und ein Speicherzellen-Auswahlgatter, das mit dem Magnetablageabschnitt in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist. Der in der Scheinspeicherzelle enthaltene Magnetablageabschnitt speichert Daten auf einem dem ersten Wert des elektrischen Widerstands entsprechenden Pegel. Die erste Datenleitung wird in der Datenleseoperation entweder mit der ausgewählten Magnetspeicherzelle oder mit der Scheinspeicherzelle elektrisch gekoppelt. Die zweite Datenleitung wird in der Datenleseoperation elektrisch mit der ausgewählten Magnetspeicherzelle gekoppelt, wenn die erste Datenleitung elektrisch mit der Scheinspeicherzelle gekoppelt wird, während sie elektrisch mit der Scheinspeicherzelle gekoppelt wird, wenn die erste Datenleitung elektrisch mit der ausgewählten Magnetspeicherzelle gekoppelt wird. Die Datenleseschaltung führt sowohl der ersten als auch der zweiten Datenleitung einen Datenlesestrom zu und erzeugt anhand einer Spannungsänderung auf der ersten und auf der zweiten Datenleitung die Lesedaten. Die Scheinwiderstands-Additionsschaltung schaltet wahlweise einen Widerstandsabschnitt mit der ersten oder mit der zweiten Datenleitung, die elektrisch mit der Scheinspeicherzelle gekoppelt ist, in Serie. Der Widerstandsabschnitt besitzt einen Wert des elektrischen Widerstands, der kleiner als eine Differenz zwischen dem ersten

und dem zweiten Wert des elektrischen Widerstands ist.

[0049] Vorzugsweise enthält der Widerstandsabschnitt einen Feldeffekttransistor, der an seinem Gatter eine variable Steuerspannung empfängt.

5 [0050] Alternativ wählt die Scheinwiderstands-Additionsschaltung vorzugsweise gemäß einem Teil einer Zeilenadresse die erste oder die zweite Datenleitung, mit der der Widerstandsabschnitt verbunden ist, aus.

10 [0051] Eine solche Dünnschicht-Magnetspeichervorrichtung ermöglicht, daß die Magnetspeicherzelle und die Scheinspeicherzelle die gleiche Konstruktion besitzen. Dementsprechend kann ein Leseoperationsgrenzwert in Übereinstimmung mit einer Herstellungsschwankung der Magnetspeicherzellen sichergestellt werden.

15 [0052] Außerdem kann der Widerstandswert des Widerstandsabschnitts, der mit der Scheinspeicherzelle in Serie geschaltet ist, gemäß der variablen Steuerspannung eingestellt werden. Somit kann ein Leseoperationsgrenzwert in Übereinstimmung mit der Herstellungsschwankung der Differenz zwischen den Werten des elektrischen Widerstands des Magnetablageabschnitts, der der Differenz des Ablagedatenpegels entspricht, sichergestellt werden.

20 [0053] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

[0054] Fig. 1 einen schematischen Blockschaltplan der Gesamtkonstruktion einer MRAM-Vorrichtung gemäß einer ersten Ausführungsform der Erfindung;

30 [0055] Fig. 2 ein Diagramm der Konstruktion einer Speichermatrix und ihrer Peripherieschaltungsanordnung gemäß der ersten Ausführungsform;

[0056] Fig. 3 einen Stromlaufplan der Konstruktion einer Datenleseschaltung aus Fig. 2;

35 [0057] Fig. 4 einen Zeitablaufplan der Datenleseoperationen gemäß der ersten Ausführungsform;

[0058] Fig. 5 ein konzeptionelles Diagramm der Konstruktion einer Speichermatrix und ihrer Peripherieschaltungsanordnung gemäß einer ersten Abwandlung der ersten Ausführungsform;

40 [0059] Fig. 6 einen Stromlaufplan der Konstruktion einer Datenleseschaltung aus Fig. 5;

[0060] Fig. 7 einen Stromlaufplan der Konstruktion einer Datenleseschaltung gemäß einer zweiten Abwandlung der ersten Ausführungsform;

45 [0061] Fig. 8 ein konzeptionelles Diagramm der Konstruktion einer Speichermatrix und ihrer Peripherieschaltungsanordnung gemäß der gefalteten Bitleitungskonstruktion;

50 [0062] Fig. 9A-9C konzeptionelle Diagramme der Konstruktion einer Scheinspeicherzelle gemäß einer zweiten Ausführungsform der Erfindung;

[0063] Fig. 10A, 10B konzeptionelle Diagramme der Konstruktion einer Scheinspeicherzelle gemäß einer ersten Abwandlung der zweiten Ausführungsform;

55 [0064] Fig. 11 einen Stromlaufplan der Konstruktion einer Scheinwiderstands-Additionsschaltung gemäß der ersten Abwandlung der zweiten Ausführungsform;

[0065] Fig. 12 einen Stromlaufplan der Konstruktion einer Scheinwiderstands-Additionsschaltung gemäß einer zweiten Abwandlung der zweiten Ausführungsform;

[0066] Fig. 13 den bereits erwähnten Stromlaufplan der Konstruktion einer Speicherzelle mit einem Magnetunnelübergang;

60 [0067] Fig. 14 das bereits erwähnte konzeptionelle Diagramm der Operation des Lesens von Daten aus der MTJ-Speicherzelle;

[0068] Fig. 15 das bereits erwähnte konzeptionelle Dia-

gramm der Operation des Schreibens von Daten in die MTJ-Speicherzelle;

[0069] Fig. 16 das bereits erwähnte konzeptionelle Diagramm der Beziehung zwischen der Richtung eines Datenschreibstroms und der Magnetisierungsrichtung in der Datenschreiboperation; und

[0070] Fig. 17 das bereits erwähnte konzeptionelle Diagramm der integriert in einer Matrix angeordneten MTJ-Speicherzellen.

[0071] Im folgenden werden mit Bezug auf die beigelegte Zeichnung Ausführungsformen der Erfindung ausführlich beschrieben. Es wird angemerkt, daß in der folgenden Beschreibung die gleichen Bezugszeichen die gleichen oder einander entsprechende Teile beschreiben.

#### Erste Ausführungsform

[0072] Wie in Fig. 1 gezeigt ist, führt eine MRAM-Vorrichtung 1 gemäß einer ersten Ausführungsform der Erfindung als Antwort auf ein externes Steuersignal CMD und auf ein Adressensignal ADD einen wahlfreien Zugriff aus, wodurch sie die Schreibdaten DIN empfängt und die Lese-daten DOUT ausgibt.

[0073] Die MRAM-Vorrichtung 1 enthält eine Steuerungschaltung 5 zum Steuern des Gesamtbetriebs der MRAM-Vorrichtung 1 als Antwort auf das Steuersignal CMD und eine Speichermatrix 10 mit mehreren in einer Matrix angeordneten MTJ-Speicherzellen. Obgleich die Konstruktion der Speicherzellen 10 unten genauer beschrieben wird, sind entsprechend den MTJ-Speicherzellenzeilen mehrere Schreibwortleitungen WWL bzw. mehrere Lesewortleitungen RWL vorgesehen. Entsprechend den MTJ-Speicherzellenspalten sind jeweils die Bitleitungen BL vorgesehen.

[0074] Ferner enthält die MRAM-Vorrichtung 1 einen Zeilendecodierer 20, einen Spaltendecodierer 25, einen Wortleitungstreiber 30, eine Wortleistungsstrom-Steuerungschaltung 40 und die Lese/Schreib-Steuerschaltungen 50, 60.

[0075] Der Zeilendecodierer 20 führt gemäß einer durch das Adressen-Signal ADD angegebenen Zeilenadresse RA die Zeilenauswahl in der Speichermatrix 10 durch. Der Spaltendecodierer 25 führt gemäß einer durch das Adressensignal ADD angegebenen Spaltenadresse CA die Spaltenauswahl in der Speichermatrix 10 durch. Der Wortleitungstreiber 30 aktiviert gemäß dem Zeilenauswahlergebnis des Zeilendecodierers 20 wahlweise die Lesewortleitung RWL oder die Schreibwortleitung WWL. Die Zeilenadresse RA und die Spaltenadresse CA geben zusammen eine für die Datenlese- oder -schreiboperation ausgewählte Speicherzelle an.

[0076] Die Wortleistungsstrom-Steuerungschaltung 40 legt in der Datenschreiboperation einen Datenschreibstrom an die Schreibwortleitung WWL an. Beispielsweise koppelt die Wortleistungsstrom-Steuerungschaltung 40 jede Schreibwortleitung WWL mit der Massespannung VSS, so daß der Datenschreibstrom an die durch den Wortleitungstreiber 30 wahlweise mit der Stromversorgungsspannung VDD gekoppelte Schreibwortleitung WWL angelegt werden kann. Die Lese/Schreib-Steuerschaltung 50, 60 nimmt korrigierend auf die in einem an die Speichermatrix 10 angrenzenden Gebiet vorgesehene Schaltungsanordnung Bezug, um in den Datenlese- bzw. -schreiboperationen einen Datenschreibstrom bzw. einen Abtaststrom (Datenlesestrom) an eine Bitleitung anzulegen.

[0077] Fig. 2 zeigt hauptsächlich die Konstruktion in der Speichermatrix 10 und ihrer Peripherieschaltungsanordnung im Zusammenhang mit der Datenleseoperation.

[0078] Wie in Fig. 2 gezeigt ist, enthält die Speicherma-

trix 10 die in n Zeilen mal m Spalten angeordneten MTJ-Speicherzellen MC (die im folgenden gelegentlich einfach als "Speicherzellen MC" bezeichnet werden). Jede Speicherzelle MC besitzt die in Fig. 13 gezeigte Konstruktion.

5 Entsprechend den MTJ-Speicherzellenzeilen (die im folgenden gelegentlich einfach als "Speicherzellenzeilen" bezeichnet werden) sind die Lesewortleitungen RWL1 bis RWLn bzw. die Schreibwortleitungen WWL1 bis WWLn vorgesehen. Entsprechend den MTJ-Speicherzellenspalten (die im folgenden gelegentlich einfach als "Speicherzellenspalten" bezeichnet werden) sind die Bitleitungen BL1 bis BLm vorgesehen.

[0079] Fig. 2 zeigt beispielhaft die Schreibwortleitungen WWL1, WWL2, WWLn, die Lesewortleitungen RWL1, RWL2, RWLn, die Bitleitungen BL1, BL2, BLm und einige Speicherzellen, die der ersten, zweiten und n-ten Zeile und der ersten, zweiten und m-ten Spalte entsprechen.

[0080] Im folgenden werden die Schreibwortleitungen, die Lesewortleitungen und die Bitwortleitungen gelegentlich allgemein mit WWL, RWL bzw. BL bezeichnet. Eine spezifische Schreibwortleitung, Lesewortleitung und Bitwortleitung wird beispielsweise mit RWL1, WWL1 bzw. BL1 bezeichnet. Der Zustand mit hoher Spannung (Stromversorgungsspannung VDD) und der Zustand mit tiefer Spannung (Massespannung VSS) eines Signals oder einer Signalleitung wird gelegentlich als H-Pegel bzw. L-Pegel bezeichnet.

[0081] In der Datenleseoperation aktiviert der Wortleitungstreiber 30 gemäß dem Decodierungsergebnis der Zeilenadresse RA, d. h. dem Zeilenauswahlergebnis, eine der Lesewortleitungen RWL1 bis RWLn auf den H-Pegel. Als Antwort darauf wird der jeweilige Zugriffstransistor ATR der Speicherzellen MC in der ausgewählten Speicherzellenzeile eingeschaltet, wodurch die jeweiligen Tunnel-Magnetwiderstandselemente TMR der Speicherzellen MC elektrisch zwischen die entsprechenden Bitleitungen BL und die Quellspannung geschaltet werden. Fig. 1 zeigt beispielhaft den Fall, in dem die Quellspannung auf die Massespannung VSS eingestellt ist.

[0082] In einem an die Speichermatrix 10 angrenzenden Gebiet ist ein Datenbus DB vorgesehen, der in der gleichen Richtung wie die Lesewortleitung RWL und die Schreibwortleitung WWL verläuft. Entsprechend den Speicherzellenspalten sind jeweils die Spaltenauswahlleitungen CSL1 bis CSLm zum Durchführen der Spaltenauswahl vorgesehen. In der Datenleseoperation aktiviert der Spaltendecodierer 25 gemäß dem Decodierungsergebnis der Spaltenadresse CA, d. h. dem Spaltenauswahlergebnis, eine der Spaltenauswahlleitungen CSL1 bis CSLm auf den H-Pegel.

[0083] Zwischen dem Datenbus DB und den Bitleitungen BL1 bis BLm sind jeweils die Spaltenauswahlgatter CSG1 bis CSGm vorgesehen. Jedes Spaltenauswahlgatter wird als Antwort auf die Aktivierung einer entsprechenden Spaltenauswahlleitung eingeschaltet. Dementsprechend wird der Datenbus DB elektrisch mit der Bitleitung der ausgewählten Speicherzellenspalte gekoppelt.

[0084] Es wird angemerkt, daß die Spaltenauswahlleitungen CSL1 bis CSLm und die Spaltenauswahlgatter CSG1 bis CSGm gelegentlich allgemein als Spaltenauswahlleitung CSL bzw. Spaltenauswahlgatter CSG bezeichnet werden.

[0085] Eine Datenleseschaltung 51 gibt gemäß einer Spannung auf dem Datenbus DB die Lesedaten DOUT aus.

[0086] Wie in Fig. 3 gezeigt ist, enthält die Datenleseschaltung 51 einen Vorladetransistor 61a, einen Ansteuertransistor 62a, einen Ladungstransferrückkopplungs-Verstärkerabschnitt 100, ein Transferraster 130, einen Differenzverstärker 140 und eine Zwischenspeicherschaltung 145.



[0087] Der Vorladetransistor 61a ist elektrisch zwischen eine Vorladespannung Vpr und den Datenbus DB geschaltet und wird gemäß einem Steuersignal PR ein- bzw. ausgeschaltet. Das Steuersignal PR wird während der Vorladezeitdauer des Datenbusses DB aktiviert. In der Aktiv-Zeitdauer der MRAM-Vorrichtung 1 wird das Steuersignal PR wenigstens während einer vorgeschriebenen Zeitdauer vor der Datenleseoperation auf den L-Pegel aktiviert. Während der Datenleseoperation in der Aktiv-Zeitdauer der MRAM-Vorrichtung 1 wird das Steuersignal PR auf den L-Pegel deaktiviert.

[0088] Obgleich dies in der Zeichnung nicht gezeigt ist, ist für jede Bitleitung BL der gleiche Vorladetransistor vorgesehen, so daß jede Bitleitung BL als Antwort auf die Aktivierung des Steuersignals PR auf die Vorladespannung Vpr vorgeladen wird. Die Vorladespannung Vpr wird angesichts der Quellspannung, mit der die Speicherzelle MC gekoppelt ist, eingestellt. In der vorliegenden Ausführungsform ist die Vorladespannung Vpr wie die Quellspannung auf die Massespannung VSS eingestellt. Somit werden in der Vorladezeitdauer, während der das Steuersignal PR auf den H-Pegel aktiviert wird, der Datenbus DB und die Bitleitungen BL auf die Massespannung VSS vorgeladen. In der Datenleseoperation wird das Steuersignal PR auf den L-Pegel deaktiviert, so daß der Datenbus DB von der Vorladespannung (Massespannung VSS) getrennt wird. Dementsprechend beträgt zu Beginn der Datenleseoperation eine an beide Anschlüsse des Tunnel-Magnetwiderstandselements TMR in jeder Speicherzelle MC angelegte Vorspannung 0 V.

[0089] Der Ansteuertransistor 62a ist elektrisch zwischen eine Ansteuerspannung und den Datenbus DB geschaltet und wird gemäß einem Steuersignal /RD ein- bzw. ausgeschaltet. Das Steuersignal /RD wird während einer vorgeschriebenen Zeitdauer nach dem Beginn der Datenleseoperation aktiviert, während es während der anderen Zeitdauern deaktiviert wird. Die Ansteuerspannung wird auf einen anderen Pegel als den der Quellspannung, mit der die Speicherzelle MC gekoppelt ist, eingestellt. In der vorliegenden Ausführungsform wird die Ansteuerspannung auf die Stromversorgungsspannung VDD eingestellt.

[0090] Wenn die Datenleseoperation begonnen wird, wird der auf die Massespannung VSS vorgeladene Datenbus DB von der Massespannung VSS (Vorladespannung Vpr) getrennt und mit der Stromversorgungsspannung VDD (Ansteuerspannung) gekoppelt. Im Ergebnis fließt über einen von der Stromversorgungsspannung VDD (Ansteuerspannung), dem Datenbus DB, der Bitleitung der ausgewählten Spalte, der ausgewählten Speicherzelle und der Massespannung VSS (Quellspannung) gebildeten Weg ein Lesestrom Is, der dem Datenlesestrom entspricht.

[0091] Zwischen dem Datenbus DB und einem Knoten N1 ist der Ladungstransferrückkopplungs-Verstärkerabschnitt 100 vorgesehen, der einen Operationsverstärker 110 und die Kondensatoren 120, 121 enthält.

[0092] Die Vorladespannung Vpr wird an einen Eingangsknoten des Operationsverstärkers 110 angelegt. Der andere Eingangsknoten des Operationsverstärkers 110 ist über den Kondensator 120 elektrisch mit dem Datenbus DB gekoppelt. Zwischen den Knoten N1 und den Datenbus DB ist der Kondensator 120 (Cc) gekoppelt. Der Kondensator 120 wirkt als Ladungstransferabschnitt, der eine Spannungsänderung auf dem Datenbus DB wegen des Abtaststroms Is an den anderen Eingangsknoten des Operationsverstärkers 110 überträgt.

[0093] In der Vorladezeitdauer vor der Datenleseoperation wird der Datenbus DB auf die Vorladespannung Vpr eingestellt. Somit ist die Eingangsspannungsdifferenz des Operationsverstärkers 110 null. Zu dieser Zeit ist eine Ausgangs-

spannung Vout des Operationsverstärkers 110, d. h. eine Spannung am Knoten N1, gleich der Stromversorgungsspannung VDD.

[0094] In der Datenleseoperation ändert sich der Pegel des Abtaststroms Is gemäß dem Ablagedatenpegel in der ausgewählten Speicherzelle. Der Operationsverstärker 110 empfängt über den Kondensator 120 einen invertierten Wert der Spannungsänderung auf dem Datenbus DB wegen des Abtaststroms Is. Daraufhin berechnet der Operationsverstärker 110 einen Integralwert der Spannungsänderung auf dem Datenbus DB, wobei er eine Ausgangsspannung Vout erzeugt. Die Änderungsrate der Ausgangsspannung Vout hängt von dem Abtaststrom Is ab. Somit kann der Ablagedatenpegel in der ausgewählten Speicherzelle nach einer vorgeschriebenen Zeitdauer vom Beginn der Datenleseoperation von der Ausgangsspannung Vout abgetastet werden.

[0095] Zwischen den Knoten N1 und den Datenbus DB ist der Kondensator 121 (Cf) geschaltet. Der Kondensator 121 wirkt als Ladungsrückkopplungsabschnitt zum Zuführen von Ladungen gemäß der Spannungsänderung am Knoten N1, um die Spannungsänderung auf dem Datenbus DB von der Vorladespannung Vpr aufzuheben.

[0096] Dementsprechend rückkoppelt der Kondensator 121 die Änderung der Ausgangsspannung Vout an den Datenbus DB, so daß die Spannung auf dem Datenbus DB wie vor der Datenleseoperation auf der Vorladespannung Vpr gehalten wird. Dies ermöglicht die Unterdrückung der an beide Anschlüsse des Tunnel-Magnetwiderstandselements TMR in der ausgewählten Speicherzelle angelegten Vorspannung.

[0097] Somit erzeugt der Ladungstransferrückkopplungs-Verstärkerabschnitt 100 gemäß einem Integralwert des über den Datenbus DB fließenden Abtaststroms Is die Ausgangsspannung Vout, während er die Spannung auf dem Datenbus DB auf der Vorladespannung hält.

[0098] Der Differenzverstärker 140 verstärkt die Spannungsdifferenz zwischen den Knoten N1 und N2 und erzeugt die Lesedaten DOUT. An den Knoten N2 wird eine vorgeschriebene Referenzspannung VREF angelegt. Somit verstärkt der Differenzverstärker 140 die Differenz zwischen der Ausgangsspannung Vout des Operationsverstärkers 110 und der Referenzspannung VREF und gibt sie aus.

[0099] Das Transferrgatter 130 arbeitet als Antwort auf einen Auslöseimpuls  $\phi$ . Das Transferrgatter 130 sendet als Antwort auf die Aktivierungszeitdauer des Auslöseimpulses  $\phi$  das Ausgangssignal des Differenzverstärkers 140 an die Zwischenspeicherschaltung 145. Die Zwischenspeicherschaltung 145 gibt die zwischengespeicherte Ausgangsspannung des Differenzverstärkers 140 als Lesedaten DOUT aus.

[0100] Im folgenden wird mit Bezug auf Fig. 4 die Datenleseoperation der ersten Ausführungsform beschrieben. Fig. 4 zeigt den Fall, daß für die Datenleseoperation die j-te Speicherzellenspalte (wobei j eine natürliche Zahl von 1 bis m ist) ausgewählt wird.

[0101] Wie in Fig. 4 gezeigt ist, wird die Datenleseoperation zum Zeitpunkt t0 begonnen. Vor dem Zeitpunkt t0 ist jede Lesewortleitung RWL und jede Spaltenauswahlleitung CLS deaktiviert (L-Pegel).

[0102] In dieser Zeitdauer wird das Vorladesteuersignal PR aktiviert (H-Pegel), während das Steuersignal /RD deaktiviert wird (H-Pegel). Somit wird der Datenbus DB auf die Massespannung VSS (Vorladespannung) vorgeladen. Wie zuvor beschrieben wurde, wird jede Bitleitung BL außerdem auf die Massespannung VSS (Vorladespannung) vorgeladen.

[0103] Zum Zeitpunkt t0 wird die Datenleseoperation begonnen und das Steuersignal /RD während einer vorge-

schriebenen Zeitdauer bis zum Zeitpunkt t2 auf den L-Pegel aktiviert. Das Vorladesteuersignal PR wird auf den L-Pegel deaktiviert. Als Antwort darauf werden die Bitleitungen BL und der Datenbus DB in der Datenleseoperation von der Vorladespannung (Massespannung VSS) getrennt und mit der Ansteuerspannung (Stromversorgungsspannung VDD) gekoppelt.

[0104] Der Wortleitungstreiber 30 aktiviert die Lesewortleitung der ausgewählten Zeile auf den H-Pegel. Im Ergebnis werden die Speicherzellen in der ausgewählten Zeile elektrisch zwischen die jeweiligen Bitleitungen BL und die Quellspannung geschaltet. Die verbleibenden Lesewortleitungen der nicht ausgewählten Zeilen werden auf dem L-Pegel gehalten.

[0105] Außerdem wird die Spaltenauswahlleitung CSLj der ausgewählten Spalte wahlweise auf den H-Pegel aktiviert. Als Antwort darauf wird die Bitleitung der ausgewählten Spalte elektrisch mit dem Datenbus DB gekoppelt. Dementsprechend fließt der Abtaststrom Is gemäß dem Wert des elektrischen Widerstands der ausgewählten Speicherzelle über einen aus dem (auf die Stromversorgungsspannung VDD angesteuerten) Datenbus DB, der Bitleitung BLj, der ausgewählten Speicherzelle und der Quellspannung (Massespannung VSS) gebildeten Stromweg.

[0106] Obgleich dies in der Figur nicht gezeigt ist, werden die verbleibenden Spaltenauswahlleitungen der nicht ausgewählten Spalten auf dem L-Pegel gehalten. Somit werden die Bitleitungen BL der nicht ausgewählten Spalten auf der Vorladespannung gehalten. Da die Vorladespannung der Bitleitungen BL gleich der Quellspannung der Speicherzellen MC ist, kann verhindert werden, daß ein unnötiger Lade/Entlade-Strom durch die Bitleitungen BL der nicht ausgewählten Spalten fließt.

[0107] Die Änderungsrate der Ausgangsspannung Vout von dem Ladungstransferrückkopplungs-Verstärkerabschnitt 100 ändert sich gemäß dem Ablagedatenpegel in der ausgewählten Speicherzelle. Somit kann der Ablagedatenpegel in der ausgewählten Speicherzelle durch Abtasten der Ausgangsspannung Vout zu einem festen Zeitpunkt vom Beginn der Datenleseoperation gelesen werden.

[0108] Zum Zeitpunkt t1, d. h., nachdem seit Beginn der Datenleseoperation eine vorgeschriebene Zeitdauer vergangen ist, wird der Auslöseimpuls  $\phi_r$  als monostabiler Impuls aktiviert (H-Pegel). Die Datenleseschaltung 51 verstärkt die Differenz zwischen der Ausgangsspannung Vout und der Referenzspannung VREF und erzeugt die Lesedaten DOUT. Die Referenzspannung VREF ist zum Zeitpunkt t1 auf einen Zwischenwert der zwei Ausgangsspannungen Vout eingestellt, die jeweils dem Fall entsprechen, in dem die Ablagedaten auf dem H- bzw. L-Pegel sind.

[0109] Der Ladungstransferrückkopplungs-Verstärkerabschnitt 100 hält den Datenbus DB und die Bitleitung BLj der ausgewählten Spalte wie vor der Datenleseoperation auf der Vorladespannung (Massespannung VSS). Dies ermöglicht die Unterdrückung der in der Datenleseoperation an beide Anschlüsse des Tunnel-Magnetwiderstandselements TMR der ausgewählten Speicherzelle angelegten Vorspannung. Dementsprechend tritt in jeder Speicherzelle eine Änderung des Wertes des elektrischen Widerstands gemäß dem Ablagepegel wahrscheinlicher auf, was eine verbesserte Geschwindigkeit und Stabilität der Datenleseoperation ermöglicht.

#### Erste Abwandlung der ersten Ausführungsform

[0110] In der ersten Abwandlung der ersten Ausführungsform wird die Konstruktion mit Scheinspeicherzellen DMC zum Erzeugen der Referenzspannung VREF zur Verwen-

dung in der Datenleseschaltung beschrieben.

[0111] Wie in Fig. 5 gezeigt ist, ist die Speichermatrix 10 in der ersten Abwandlung der ersten Ausführungsform in Zeilenrichtung in zwei Speichermatten MTa und MTb unterteilt. In jeder Speichermatte MTa, MTb sind entsprechend den Speicherzellenzeilen jeweils die Lesewortleitungen RWL und die Schreibwortleitungen WWL vorgesehen, während entsprechend den Speicherzellenspalten jeweils die Bitleitungen vorgesehen sind.

[0112] In jeder Speichermatte MTa, MTb sind entsprechend einer sogenannten offenen Bitleitungskonstruktion m Bitleitungen vorgesehen. In Fig. 5 sind die Bitleitungen in einer Speichermatte MTa mit BL1 bis BLM bezeichnet, während die Bitleitungen in der anderen Speichermatte MTb mit /BL1 bis /BLm bezeichnet sind. Gelegentlich werden die Bitleitungen BL1 bis BLM und /BL1 bis /BLm allgemein als die Bitleitungen BL bzw. /BL bezeichnet.

[0113] In jeder Speicherzellenzeile sind die Speicherzellen MC elektrisch zwischen die jeweiligen Bitleitungen und die Quellspannung geschaltet. Wie in der ersten Ausführungsform ist die Quellspannung auf die Massespannung VSS eingestellt.

[0114] Entsprechend den Bitleitungen BL1 bis BLM der Speichermatte MTa sind jeweils die Spaltenauswahlgatter CSG1a bis CSGma vorgesehen. Ähnlich sind jeweils entsprechend den Bitleitungen /BL1 bis /BLm der Speichermatte MTb die Spaltenauswahlgatter CSG1b bis CSGmb vorgesehen. Die jeweiligen Spaltenauswahlgatter der gleichen Speicherzellenspalte in den Speichermatten Ma und Mb werden durch eine entsprechende gemeinsame Spaltenauswahlleitung CSL gesteuert.

[0115] In jeder Speichermatte MTa, MTb sind in einer einzelnen Scheinzeile mehrere Scheinspeicherzellen DMC angeordnet. Zwischen den Bitleitungen BL1 bis BLM und der Quellspannung (Massespannung VSS) sind in der Speichermatte MTa jeweils mehrere Scheinspeicherzellen DMC vorgesehen. Zwischen den Bitleitungen /BL1 bis /BLm und der Quellspannung (Massespannung VSS) sind in der Speichermatte MTb jeweils mehrere Scheinspeicherzellen DMC vorgesehen.

[0116] Jede Scheinspeicherzelle DMC enthält einen Scheinwiderstand MTJd und einen Scheinzugriffstransistor ATRd, die zwischen einer entsprechenden Bitleitung BL und der Quellspannung (Massespannung VSS) in Serie geschaltet sind. Der Scheinwiderstand MTJd besitzt einen Wert Rd des elektrischen Widerstands, der einem Zwischenwert zwischen dem Wert R1 des elektrischen Widerstands und dem Wert R0 des elektrischen Widerstands der Speicherzelle MC entspricht. Wenn in der Speicherzelle MC H-Pegel-Daten gespeichert sind, besitzt sie den Wert R1 des elektrischen Widerstands, während sie, wenn in ihr L-Pegel-Daten gespeichert sind, den Wert R0 des elektrischen Widerstands besitzt.

[0117] In der Speichermatte MTa sind jeweils entsprechend den Speicherzellenzeilen die Lesewortleitungen RWL1a bis RWLka und die Schreibwortleitungen WWL1a bis WWLka (wobei k eine durch n/2 gegebene ganze Zahl ist) vorgesehen. Entsprechend der Scheinzeile sind eine Scheinlesewortleitung DRWL a und eine Scheinschreibwortleitung DWWL a vorgesehen. Es wird angemerkt, daß es, obgleich die magnetische Datenschieboperation für die Scheinspeicherzelle DMC nicht notwendig erforderlich ist, zur Sicherstellung der Stetigkeit der Form mit dem Speicherzellengebiet erwünscht ist, daß die Scheinschreibwortleitung DWWL a vorgesehen ist.

[0118] Ähnlich sind in der Speichermatte MTb entsprechend den Speicherzellenzeilen die Lesewortleitungen RWL1b bis RWLkb bzw. die Schreibwortleitungen WWL1b



bis WWLkb vorgesehen. Außerdem sind entsprechend der Scheinzeile eine Scheinlesewortleitung DRWLb und eine Scheinschreibwortleitung DWWLb vorgesehen.

[0119] In dem nicht ausgewählten Speicherblock, der die für die Datenleseoperation ausgewählte Speicherzelle nicht enthält, wird die Scheinlesewortleitung DRWL<sub>a</sub>, DRWL<sub>b</sub> aktiviert. In dem ausgewählten Speicherblock, der die ausgewählte Speicherzelle enthält, wird gemäß dem Leseauswahlergebnis eine Lesewortleitung RWL aktiviert.

[0120] Wenn die ausgewählte Speicherzelle beispielsweise in der *i*ten Zeile der Speichermatte MT<sub>a</sub> (wobei *i* eine natürliche Zahl ist) liegt, wird die Lesewortleitung RWL<sub>a</sub> aktiviert (H-Pegel), während die Scheinlesewortleitung DRWL<sub>a</sub> in der ausgewählten Speichermatte MT<sub>a</sub> inaktiv (auf dem L-Pegel) gehalten wird. Die Scheinschreibwortleitung DRWL<sub>b</sub> in der nicht ausgewählten Speichermatte MT<sub>b</sub> wird aktiviert, während jede Lesewortleitung RWL<sub>1b</sub> bis RWL<sub>kb</sub> inaktiv (auf dem L-Pegel) gehalten wird.

[0121] Demgegenüber wird die Lesewortleitung RWL<sub>b</sub> aktiviert (H-Pegel), während die Scheinlesewortleitung DRWL<sub>b</sub> in der ausgewählten Speichermatte MT<sub>b</sub> inaktiv (auf dem L-Pegel) gehalten wird, wenn die ausgewählte Speicherzelle in der *i*ten Zeile der Speichermatte MT<sub>b</sub> liegt. In der nicht ausgewählten Speichermatte MT<sub>a</sub> wird die Scheinlesewortleitung DRWL<sub>a</sub> aktiviert, während jede Lesewortleitung RWL<sub>1a</sub> bis RWL<sub>ka</sub> inaktiv (auf dem L-Pegel) gehalten wird.

[0122] Im Ergebnis wird die Speicherzelle MC elektrisch mit der Bitleitung der ausgewählten Spalte in der ausgewählten Speichermatte gekoppelt, während die Scheinspeicherzelle DMC elektrisch mit der Bitleitung der ausgewählten Spalte in der nicht ausgewählten Speichermatte gekoppelt wird.

[0123] Außerdem ist ein zu dem Datenbus DB kompletärer Datenbus /DB vorgesehen, der mit dem Datenbus DB ein Datenbuspaar DBP bildet. Die Bitleitungen BL und /BL der ausgewählten Spalte sind über entsprechende Spaltenauswahlgatter elektrisch mit den Datenbussen DB bzw. /DB gekoppelt.

[0124] Eine Datenleseschaltung 52 gibt entsprechend den Spannungen auf den Datenbussen DB und /DB die Lesedaten DOUT aus.

[0125] Wie in Fig. 6 gezeigt ist, unterscheidet sich die Datenleseschaltung 52 von der Datenleseschaltung 51 dadurch, daß die Datenleseschaltung 52 ferner einen Vorladetransistor 61b, einen Ansteuertransistor 62b und einen Ladungstransferrückkopplungs-Verstärkerabschnitt 101 für den Datenbus /DB enthält.

[0126] Der Vorladetransistor 61b und der Ansteuertransistor 62b arbeiten auf die gleiche Weise wie der Vorladetransistor 61a und der Ansteuertransistor 62a. Dementsprechend wird die Spannung auf dem Datenbus /DB vor (Vorladezeitdauer) und während der Datenleseoperation auf den gleichen Wert wie die Spannung auf dem Datenbus DB eingestellt.

[0127] Der Ladungstransferrückkopplungs-Verstärkerabschnitt 101 besitzt die gleiche Konstruktion wie der Ladungstransferrückkopplungs-Verstärkerabschnitt 100 und ist zwischen dem Datenbus /DB und dem Knoten N2 vorgesehen. Der Ladungstransferrückkopplungs-Verstärkerabschnitt 101 enthält einen Operationsverstärker 111 und die Kondensatoren 122, 123.

[0128] An einen Eingangsknoten des Operationsverstärkers 111 wird die Vorladespannung V<sub>pr</sub> angelegt. Der andere Eingangsknoten des Operationsverstärkers 111 ist über den Kondensator 122 (C<sub>c</sub>) elektrisch mit dem Datenbus /DB gekoppelt. Der Kondensator 123 (C<sub>f</sub>) ist elektrisch zwischen den Knoten N2 und den Datenbus /DB geschaltet. Der

Kondensator 122 besitzt die gleiche Funktion wie der Kondensator 120, während der Kondensator 123 die gleiche Funktion wie der Kondensator 121 besitzt.

[0129] Es wird angemerkt, daß das Kapazitätsverhältnis zwischen den Kondensatoren 122 und 123 mit dem gleichen Wert wie das zwischen den Kondensatoren 120 und 121 konstruiert sein muß. Solange dieses Kapazitätsverhältnis eingehalten wird, brauchen die Kondensatoren 120, 122 und die Kondensatoren 121, 123 nicht mit dem gleichen Kapazitätswert C<sub>c</sub> oder C<sub>f</sub> konstruiert zu sein.

[0130] Der Ladungstransferrückkopplungs-Verstärkerabschnitt 101 erzeugt gemäß einem Integralwert des über den Datenbus /DB fließenden Abtaststroms I<sub>s</sub> eine Ausgangsspannung Vout<sub>2</sub>, während er den Datenbus /DB auf der Vorladespannung hält.

[0131] Der Differenzverstärker 140 verstärkt die Differenz zwischen den Ausgangsspannungen Vout<sub>1</sub> und Vout<sub>2</sub> von den Ladungstransferrückkopplungs-Verstärkerabschnitten 100 und 101 und erzeugt die Lesedaten DOUT. Da die Konstruktion der Datenleseschaltung 52 ansonsten die gleiche wie die der Datenleseschaltung 51 aus Fig. 3 ist, wird ihre ausführliche Beschreibung nicht wiederholt.

[0132] Somit kann die Referenzspannung VREF der ersten Ausführungsform unter Verwendung der Scheinspeicherzelle erzeugt werden. Somit kann über die Konstruktion der ersten Ausführungsform hinaus die Datenleseoperation innerhalb eines Grenzwerts der Spannungsabtastzeit in der Datenleseschaltung 52, d. h. innerhalb der Aktivierungszeit des Auslöseimpulses  $\phi_r$ , genau durchgeführt werden. Mit anderen Worten, ein Leseoperationsgrenzwert kann selbst dann sichergestellt werden, wenn die Spannungsabtastzeit in der Datenleseschaltung schwankt.

#### Zweite Abwandlung der ersten Ausführungsform

[0133] In der zweiten Abwandlung der ersten Ausführungsform wird eine vereinfachte Konstruktion der Datenleseschaltung beschrieben.

[0134] Wie in Fig. 7 gezeigt ist, unterscheidet sich eine Datenleseschaltung 53 der zweiten Abwandlung der ersten Ausführungsform von der Datenleseschaltung 52 dadurch, daß die Datenleseschaltung 53 ferner einen Rückkopplungskondensator 125 zwischen den Knoten N1 und N2 enthält, während der Differenzverstärker 140 weggelassen ist.

[0135] Die Kondensatoren 120, 122 sind so konstruiert, daß sie den Kapazitätswert C<sub>c</sub> besitzen, während die Kondensatoren 121, 123 und der Rückkopplungskondensator 125 so konstruiert sind, daß sie einen Kapazitätswert C<sub>f</sub> besitzen. Der Rückkopplungskondensator 125 rückkoppelt eine über den Datenbus /DB fließende, einem Integralwert des Abtaststroms I<sub>s</sub> entsprechende Spannungsänderung mit umgekehrter Polarität an den Datenbus DB. Die auf diese Weise negativ an den Datenbus DB rückgekoppelte Spannungsänderung wird über den Kondensator 120 an den Operationsverstärker 110 angelegt. Somit gibt die Datenleseschaltung 53 eine Ausgangsspannung Vout an den Knoten N1 aus. Die Ausgangsspannung Vout entspricht der verstärkten Ausgangsspannungsdifferenz "Vout<sub>1</sub>-Vout<sub>2</sub>" zwischen den Ladungstransferrückkopplungs-Verstärkerabschnitten 100 und 101 in der Datenleseschaltung 52.

[0136] Das Transfergatter 130 sendet als Antwort auf die Aktivierungszeitdauer des Auslöseimpulses  $\phi_r$  die Ausgangsspannung Vout am Knoten N1 an die Zwischenspeicherschaltung 145. Die Zwischenspeicherschaltung 145 gibt die zwischengespeicherte Ausgangsspannung Vout als Lesedaten /DOUT aus. Mit anderen Worten, der Ausgang der Datenleseschaltung 53 besitzt die entgegengesetzte Polarität zum Datenbus DB.

[0137] Somit ist in der Datenleseschaltung der zweiten Abwandlung der ersten Ausführungsform der Differenzverstärker 140 weggelassen. Mit einer solchen vereinfachten Konstruktion kann die Datenleseoperation auf die gleiche Weise wie in der ersten Abwandlung der ersten Ausführungsform durchgeführt werden.

[0138] Es wird angemerkt, daß die erste und die zweite Abwandlung der ersten Ausführungsform auch auf eine sogenannte gefaltete Bitleitungskonstruktion anwendbar sind.

[0139] Fig. 8 ist ein konzeptionelles Diagramm der Konstruktion einer Speichermatrix 10 und ihrer Peripherieschaltungsanordnung gemäß der gefalteten Bitleitungskonstruktion.

[0140] Wie in Fig. 8 gezeigt ist, sind in der Speichermatrix 10 gemäß der gefalteten Bitleitungskonstruktion jeweils entsprechen den Speicherzellenspalten die Bitleitungspaare BLP und die Quelleitungen SL vorgesehen. Jedes Bitleitungspaar BLP ist aus komplementären Bitleitungen BL und /BL gebildet. Fig. 8 zeigt beispielhaft das Bitleitungspaar BLP1 der Bitleitungen BL1 und /BL1 und die Quelleitung SL1 der ersten Speicherzellenspalte.

[0141] Entsprechend den Bitleitungen BL1 und /BL1 ist ein Spaltenauswahlgatter CSG1 vorgesehen. Das Spaltenauswahlgatter CSG1 enthält einen elektrisch zwischen die Bitleitung BL1 und den Datenbus DB geschalteten Transistorschalter T1 und einen elektrisch zwischen die Bitleitung /BL1 und den Datenbus /DB geschalteten Transistorschalter T2. Die Transistorschalter T1 und T2 werden als Antwort auf die Aktivierung einer entsprechenden Spaltenauswahlleitung CSL1 eingeschaltet. Somit koppelt das Spaltenauswahlgatter CSG1 die Bitleitungen BL1 und /BL1 als Antwort auf die Auswahl einer entsprechenden Speicherzellenspalte in der Datenleseoperation elektrisch mit dem Datenbus DB bzw. /DB. Der Quelleitung SL1 wird eine Quellspannung, d. h. die Massespannung VSS, zugeführt.

[0142] Ähnlich sind das Bitleitungspaar, das Spaltenauswahlgatter, die Spaltenauswahlleitung und die Quelleitung für die weiteren Speicherzellenspalten vorgesehen.

[0143] Entsprechend den Speicherzellenzeilen sind die Lesewortleitungen RWL1, RWL2, ... und die Schreibwortleitungen WWL1, WWL2, ... vorgesehen. Die Speicherzellen MC in jeder Spalte sind abwechselnd zwischen die Bitleitungen BL, /BL und die Quelleitung geschaltet. Beispielsweise ist in bezug auf die Speicherzellen MC in der ersten Spalte die Speicherzelle MC in der ersten Zeile zwischen der Bitleitung BL1 und der Quelleitung SL1 vorgesehen, während die Speicherzelle MC in der zweiten Zeile zwischen der Bitleitung /BL1 und der Quelleitung SL1 vorgesehen ist. Ähnlich sind die Speicherzellen MC in jeder ungeraden Zeile zwischen den Bitleitungen BL und den Quelleitungen SL vorgesehen, während die Speicherzellen MC in jeder geraden Zeile zwischen den Bitleitungen /BL und den Quelleitungen SL vorgesehen sind.

[0144] Somit wird in jeder Speicherzellenspalte beim wahlweisen Aktivieren einer Lesewortleitung RWL gemäß dem Zeilenauswahlergebnis die Speicherzelle MC zwischen die Bitleitung BL und die Quelleitung SL oder zwischen die Bitleitung /BL und die Quelleitung SL geschaltet.

[0145] Die Scheinspeicherzellen DMC sind in zwei Scheinzeilen angeordnet. Die Scheinspeicherzellen DMC sind in jeder Speicherzellenspalte jeweils zwischen den Bitleitungen BL, /BL und der Quelleitung SL vorgesehen.

[0146] Die Scheinlesewortleitungen DRWL0, DRWL1 und die Scheinschreibwortleitungen DWWL0, DWWL1 sind jeweils entsprechend den Scheinzeilen vorgesehen. Wie zuvor beschrieben wurde, können angesichts der Stetigkeit der Form mit dem Speicherzellegebiet die Schein-

schreibwortleitungen DWWL0, DWWL1 vorgesehen sein. [0147] Die Scheinlesewortleitung DRWL0, DRWL1 wird wahlweise aktiviert, um entweder die Bitleitung BL oder die Bitleitung /BL jedes Bitleitungspaares, d. h. diejenige Bitleitung, die nicht mit der Speicherzelle MC gekoppelt ist, mit der Scheinspeicherzelle DMC zu koppeln.

[0148] Genauer wird die Scheinlesewortleitung DRWL1 aktiviert, wenn eine ungerade Zeile ausgewählt wird, während die Scheinlesewortleitung DRWL0 aktiviert wird, wenn eine gerade Zeile ausgewählt wird. Im Ergebnis wird in jeder Speicherzellenspalte entweder die Speicherzelle MC oder die Scheinspeicherzelle DMC zwischen die Bitleitung BL und die Quelleitung SL geschaltet, während dementsprechend die jeweils andere Speicherzelle, d. h. die Scheinspeicherzelle DMC oder die Speicherzelle MC, zwischen die Bitleitung /BL und die Quelleitung SL geschaltet wird.

[0149] Bei einer solchen Konstruktion kann die Datenleseoperation auf die gleiche Weise wie in der ersten oder in der zweiten Abwandlung der ersten Ausführungsform unter Verwendung der Datenleseschaltung 52 aus Fig. 3 oder der Datenleseschaltung 53 aus Fig. 7, durchgeführt werden, wobei die Datenbusse DB, /DB des Datenbuspaars DBP elektrisch mit dem Bitleitungspaar der ausgewählten Spalte gekoppelt werden.

[0150] In der ersten Ausführungsform und in deren erster und zweiter Abwandlung sind die Vorladespannung Vpr der Bitleitungen BL, /BL und die Datenbusse DB, /DB sowie die Quellspannung der Speicherzellen MC und der Scheinspeicherzellen DMC auf die Massespannung VSS eingestellt. Allerdings können diese Spannungen alternativ auf einen anderen Wert wie etwa auf die Stromversorgungsspannung VDD oder auf die halbe Stromversorgungsspannung VDD, d. h. auf VDD/2, eingestellt sein. In diesem Fall muß die Ansteuerspannung in der Datenleseoperation angesichts der Quellspannung eingestellt werden.

#### Zweite Ausführungsform

[0151] In der zweiten Ausführungsform wird eine Abwandlung der Scheinspeicherzellenkonstruktion beschrieben.

[0152] Fig. 9A zeigt die Konstruktion der Speicherzelle MC zum Speichern der Daten. Wie in Fig. 9A gezeigt ist, enthält eine Speicherzelle MC ein Tunnel-Magnetwiderstandselement TMR und einen Zugriffstransistor ATR, die miteinander in Serie geschaltet sind. Das Tunnel-Magnetwiderstandselement TMR besitzt gemäß dem Ablagedatenpegel einen Wert  $R_0$  oder  $R_0 + \Delta R$  ( $= R_1$ ) des elektrischen Widerstands. Wenn der Zugriffstransistor ATR eingeschaltet (d. h. in einem leitenden Zustand) ist, ist sein Wert des elektrischen Widerstands, d. h. der Kanalwiderstandswert, gleich  $R(TG)$ . Dementsprechend besitzt die Speicherzelle MC gemäß dem Ablagedatenpegel einen Wert  $R_0 + R(TG)$  oder  $R_0 + \Delta R + R(TG)$  des elektrischen Widerstands, wenn der Zugriffstransistor ATR leitend ist.

[0153] Wie in Fig. 9B gezeigt ist, enthält eine Scheinspeicherzelle DMC ein Scheinwiderstandselement TMRd und einen Scheinzugriffstransistor ATRd, die miteinander in Serie geschaltet sind. Das Scheinwiderstandselement TMRd besitzt einen Wert  $R_0$  des elektrischen Widerstands. Dementsprechend kann als Scheinwiderstandselement TMRd das gleiche Tunnelwiderstandselement TMR wie in der Speicherzelle MC verwendet werden. Mit anderen Worten, das Scheinwiderstandselement besitzt die gleiche Konstruktion wie das Tunnelwiderstandselement TMR.

[0154] Der Scheinzugriffstransistor ATRd enthält einen Feldeffekttransistor (FET) Q1. Der Kanalwiderstandswert

des FET Q1 ist so konstruiert, daß er einen Zwischenwert von  $R(TG)$  und  $R(TG) + \Delta R$  besitzt, wobei er vorzugsweise so konstruiert ist, daß er  $R(TG) + \Delta R/2$  beträgt. Beispielsweise kann der Kanalwiderstandswert des FET Q1 mit seiner Gate-Breite und Gate-Länge eingestellt werden. Mit anderen Worten, wenigstens die Gate-Breite oder die Gate-Länge des FET Q1 ist anders als die des Zugriffstransistors ATR.

[0155] Somit besitzt die Scheinspeicherzelle DMC einen Wert  $R_0 + R(TG) + \Delta R/2$  des elektrischen Widerstands, d. h. einen Zwischenwert von  $R_0 + R(TG)$  und  $R_1 + R(TG)$ , wenn der Scheinzugriffstransistor ATRd leitend ist.

[0156] Fig. 9C zeigt eine weitere beispielhafte Konstruktion der Scheinspeicherzelle DMC. Wie in Fig. 9C gezeigt ist, enthält die Scheinspeicherzelle DMC ein Scheinwiderstandselement TMRd und einen Scheinzugriffstransistor ATRd, die miteinander in Serie geschaltet sind.

[0157] Das Scheinwiderstandselement TMR ist wie in der Scheinspeicherzelle aus Fig. 9B aus dem gleichen Tunnel-Magnetwiderstandselement TMR wie in der Speicherzelle MC ausgebildet.

[0158] Der Scheinzugriffstransistor ATRd enthält die Feldeffekttransistoren (FETs) Q2 und Q3. Der FET Q2 ist so konstruiert, daß er einen Kanalwiderstandswert  $R(TG)$  besitzt. Mit anderen Worten, der FET Q2 kann gemeinsam mit dem Zugriffstransistor ATR der Speicherzelle MC konstruiert werden.

[0159] Der FET Q3 ist so konstruiert, daß er einen kleineren Kanalwiderstandswert als  $\Delta R$  und vorzugsweise einen Kanalwiderstandswert  $\Delta R/2$  besitzt. Der Kanalwiderstandswert des FET Q3 kann wie der des FET Q1 mit seiner Gate-Breite und Gate-Länge eingestellt werden.

[0160] Dementsprechend besitzt die Scheinspeicherzelle DMC wie in der Konstruktion aus Fig. 9B einen Wert  $R_0 + R(TG) + \Delta R/2$  des elektrischen Widerstands, wenn der Scheinzugriffstransistor ATRd leitend ist.

[0161] Vor der Datenleseoperation wird in das Tunnel-Magnetwiderstandselement TMR der Scheinspeicherzelle DMC magnetisch ein Datenpegel geschrieben, der dem Wert  $R_0$  des elektrischen Widerstands entspricht. Somit kann der Wert des elektrischen Widerstands des Scheinwiderstandselements TMRd auf  $R_0$  eingestellt werden. Die Operation des Schreibens von Daten in die Scheinspeicherzelle kann entweder als Teil der Initialisierungssequenz beim Einschalten der MRAM-Vorrichtung oder zyklisch während des Betriebs der MRAM-Vorrichtung durchgeführt werden. Beispielsweise kann die Operation des Schreibens von Daten in die Scheinspeicherzelle in jedem Zyklus bei jedem Speicherzugriff durchgeführt werden.

[0162] Wenn die Tunnel-Magnetwiderstandselemente TMR in der gleichen Speichermatrix unter den gleichen Herstellungsbedingungen gefertigt werden, besitzen sie voraussichtlich die gleichen Charakteristiken. Somit kann der Wert des elektrischen Widerstands der Scheinspeicherzelle DMC dadurch, daß sowohl die Speicherzelle MC als auch die Scheinspeicherzelle DMC mit dem gleichen Tunnel-Magnetwiderstandselement TMR ausgebildet wird, zuverlässig auf einen Zwischenwert von  $R_1$  und  $R_0$  eingestellt werden. Somit kann der Wert des elektrischen Widerstands der Scheinspeicherzelle DMC geeignet eingestellt werden, um eine Spannung für den Vergleich mit der Spannung auf der mit der ausgewählten Speicherzelle gekoppelten Datenleitung zu erzeugen, während eine Herstellungsschwankung zulässig ist. Im Ergebnis kann unabhängig von der Herstellungsschwankung ein Lesebetriebsgrenzwert sichergestellt werden.

[0163] Die Scheinspeicherzelle der zweiten Ausführungsform ist typischerweise auf die in Fig. 5 gezeigte Speicher-

matrix mit der offenen Bitleitungskonstruktion oder auf die in Fig. 8 gezeigte Speichermatrix mit der gefalteten Bitleitungskonstruktion anwendbar. In diesem Fall kann für die Datenleseoperation die Datenleseschaltung 52 aus Fig. 6 oder die Datenleseschaltung 53 aus Fig. 7 verwendet werden. Die Ladungstransferrückkopplungs-Verstärkerabschnitte 100 und 101 können aus diesen Datenleseschaltungen weggelassen werden.

#### Erste Abwandlung der zweiten Ausführungsform

[0164] Die in Fig. 10A gezeigte Speicherzelle MC besitzt die gleiche Konstruktion wie die in Fig. 9A gezeigte Speicherzelle. Somit wird ihre ausführliche Beschreibung nicht wiederholt.

[0165] Wie in Fig. 10B gezeigt ist, ist die Scheinspeicherzelle DMC so konstruiert, daß das Scheinwiderstandselement TMRd einen Wert  $R_0$  des elektrischen Widerstands und der Scheinzugriffstransistor ATRd einen Kanalwiderstandswert  $R(TG)$  besitzt. Mit anderen Worten, die Scheinspeicherzelle DMC und die Speicherzelle MC können gemäß der gemeinsamen Konstruktion in der gleichen Speicherzellenmatrix hergestellt werden.

[0166] Die erste Abwandlung der zweiten Ausführungsform enthält ferner eine Scheinwiderstands-Additionsschaltung zum Addieren eines Wertes  $\Delta R/2$  des elektrischen Widerstands, d. h. eines durch die Scheinspeicherzelle DMC zu addierenden Wertes des elektrischen Widerstands, zu einem der Datenbusse DB und /DB.

[0167] Wie in Fig. 11 gezeigt ist, ist zwischen den Datenbussen DB, /DB und einer Datenleseschaltung 54 die Scheinwiderstands-Additionsschaltung 150 vorgesehen.

[0168] Die Konstruktion der Datenleseschaltung 54 entspricht der der Datenleseschaltung 52, 53 aus den Fig. 6 und 7, wobei die Ladungstransferrückkopplungs-Verstärkerabschnitte 100 und 101 daraus weggelassen sind. Alternativ kann anstelle der Datenleseschaltung 54 die Datenleseschaltung 52 oder 53 verwendet werden.

[0169] Die Scheinwiderstands-Additionsschaltung 150 besitzt die Datenbus-Verbindungsschalter 152, 154 und ein Widerstandselement 155.

[0170] Der Wert des elektrischen Widerstands des Widerstandselements 155 wird auf einen Wert, der gleich oder kleiner als die Differenz  $\Delta R$  zwischen den Werten  $R_0$  und  $R_1$  des elektrischen Widerstands der Speicherzelle MC ist, und vorzugsweise auf  $\Delta R/2$  eingestellt. Das Widerstandselement 155 ist mit einem Eingangsknoten ND in Serie geschaltet.

[0171] Der Datenbus-Verbindungsschalter 152 koppelt den Datenbus DB elektrisch mit einem der Eingangsknoten ND und /ND. Der Datenbus-Verbindungsschalter 154 arbeitet komplementär zu dem Datenbus-Verbindungsschalter 152 und koppelt den Datenbus/DB elektrisch mit dem anderen Eingangsknoten ND, /ND. Somit kann das Widerstandselement 155 mit einem der Datenbusse DB und /DB, d. h. mit dem mit der Scheinspeicherzelle DMC verbundenen Datenbus, in Serie geschaltet werden.

[0172] Der Datenbuschalter 152, 154 koppelt den Datenbus DB oder den Datenbus/DB, d. h. den Datenbus, der mit der Scheinspeicherzelle DMC verbunden ist, über das Widerstandselement 155 elektrisch mit dem Eingangsknoten ND. Der andere Datenbus, d. h. der Datenbus, der mit der ausgewählten Speicherzelle verbunden ist, wird elektrisch direkt mit dem Eingangsknoten /ND gekoppelt.

[0173] Beispielsweise können die Datenbus-Verbindungsschalter 152 und 154 gemäß dem niederwertigsten Bit RA0 der Zeilenadresse arbeiten. In der in Fig. 5 gezeigten Speichermatrix mit der offenen Bitleitungskonstruktion gibt das

Adressenbit RA0 an, ob die ausgewählte Speicherzelle in der Speichermatte MTa oder in der Speichermatte MTb liegt. In der in Fig. 8 gezeigten Speichermatrix mit der gefalteten Bitleitungskonstruktion gibt das Adressenbit RA0 an, ob die ausgewählte Zeile eine ungerade Zeile oder eine gerade Zeile ist.

[0174] Bei einer solchen Konstruktion kann der Wert des elektrischen Widerstands des Lesestromwegs, der die Scheinspeicherzelle DMC enthält, auf den gleichen Wert wie in der zweiten Ausführungsform eingestellt werden. Außerdem besitzen die Speicherzelle MC und die Scheinspeicherzelle DMC in der Speichermatrix 10 gemäß der ersten Abwandlung der zweiten Ausführungsform die gleiche Konstruktion. Somit kann ein Leseoperationsgrenzwert in Übereinstimmung mit der Herstellungsschwankung der Tunnel-Magnetwiderstandselemente TMR sichergestellt werden.

#### Zweite Abwandlung der zweiten Ausführungsform

[0175] Wie in Fig. 12 gezeigt ist, unterscheidet sich eine Scheinwiderstands-Additionsschaltung 151 gemäß der zweiten Abwandlung der zweiten Ausführungsform von der Scheinwiderstands-Additionsschaltung 150 aus Fig. 11 dadurch, daß das Widerstandselement 155 durch einen Feldeffekttransistor (FET) 157 ersetzt ist.

[0176] Der FET 157 ist mit einem Knoten ND in Serie geschaltet und empfängt an seinem Gate eine Steuerspannung Vm. Ansonsten sind die Konstruktion und der Betrieb der Scheinwiderstands-Additionsschaltung 151 die gleichen wie bei der Scheinwiderstands-Additionsschaltung 150 aus Fig. 11. Da die Konstruktion und der Betrieb abgesehen von der Scheinwiderstands-Additionsschaltung ebenfalls die gleichen wie in der ersten Abwandlung der zweiten Ausführungsform sind, wird ihre ausführliche Beschreibung nicht wiederholt.

[0177] Bei einer solchen Konstruktion kann der Wert des elektrischen Widerstands des FET 157, d. h. der von der Scheinwiderstands-Additionsschaltung 151 zu dem Abtaststromwert, der die Scheinspeicherzelle DMC enthält, zu addierende Wert des elektrischen Widerstands, gemäß der Steuerspannung Vm eingestellt werden.

[0178] Somit kann in den in der Speichermatrix 10 hergestellten dünnen Magnetwiderstandselementen TMR über die Konstruktion der ersten Abwandlung der zweiten Ausführungsform hinaus ein Leseoperationsgrenzwert in Übereinstimmung mit der Herstellungsschwankung des Wertes der Differenz  $\Delta R$  des elektrischen Widerstands sichergestellt werden.

[0179] Obgleich die Zugriffselemente wie etwa der Zugriffstransistor und der Scheinzugriffstransistor in den Ausführungsformen der Erfindung mit einem Feldeffekttransistor ausgebildet sind, kann für die Zugriffselemente alternativ eine Diode angewendet werden.

[0180] Obgleich die Erfindung ausführlich beschrieben und erläutert wurde, dient dies selbstverständlich lediglich zur Erläuterung und als Beispiel und soll nicht als Beschränkung verstanden werden, wobei der Erfindungsgedanke und der Umfang der Erfindung lediglich durch die beigefügten Ansprüche beschränkt ist.

#### Patentansprüche

1. Dünnschicht-Magnetspeichervorrichtung, mit:  
mehreren Magnetspeicherzellen (MC), deren Wert des elektrischen Widerstands sich gemäß einem durch ein angelegtes Magnetfeld in sie geschriebenen Ablagedatenpegel ändert;

einer ersten Datenleitung (DB), die in einer Datenleseoperation über eine ausgewählte der mehreren Magnetspeicherzellen (MC) elektrisch mit einer ersten Spannung (VSS) gekoppelt ist;

einer ersten Vorladeschaltung (61a), die die erste Datenleitung (DB) vor der Datenleseoperation auf eine Vorladespannung (Vpr) einstellt;

einer ersten Leseansteuerschaltung (62a), die der ersten Datenleitung (DB) in der Datenleseoperation einen Datenlesestrom zuführt;

einem ersten Ladungstransferrückkopplungs-Verstärkerabschnitt (100), der zwischen der ersten Datenleitung (DB) und einem ersten internen Knoten (N1) vorgesehen ist, um eine Spannung auf der ersten Datenleitung (DB) aufrechtzuerhalten und gemäß einem Integralwert des durch die erste Datenleitung (DB) fließenden Datenlesestroms an dem ersten internen Knoten (N1) eine erste Ausgangsspannung (Vout, Vout1) zu erzeugen; und

einem Verstärkerabschnitt (140), der anhand der Spannung an dem ersten internen Knoten (N1) die Lesedaten erzeugt.

2. Dünnschicht-Magnetspeichervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß die Vorladespannung (Vpr) die erste Spannung (VSS) ist, und

die erste Leseansteuerschaltung (62a) in der Datenleseoperation die erste Datenleitung (DB) mit einer zweiten Spannung (VDD) koppelt.

3. Dünnschicht-Magnetspeichervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der erste Ladungstransferrückkopplungs-Verstärkerabschnitt (100) enthält:

einen Operationsverstärker (110), der eine Spannungsdifferenz zwischen dem ersten und dem zweiten Eingangsknoten verstärkt und an dem ersten internen Knoten (N1) die erste Ausgangsspannung (Vout, Vout1) erzeugt,

einen Ladungsanserabschnitt (Cc), der zwischen die erste Datenleitung (DB) und den ersten Eingangsknoten geschaltet ist, um eine Spannungsänderung auf der ersten Datenleitung (DB) wegen des Datenlesestroms an den ersten Eingangsknoten zu senden, und einen Ladungsrückkopplungsabschnitt (Cf), der zwischen den ersten internen Knoten (N1) und die erste Datenleitung (DB) gekoppelt ist, um gemäß einer Änderung der ersten Ausgangsspannung (Vout, Vout1) Ladungen zuzuführen und so die Spannungsänderung auf der ersten Datenleitung (DB) von der ersten Spannung (VSS) aufzuheben, und die Vorladespannung (Vpr) an den zweiten Eingangsknoten angelegt ist.

4. Dünnschicht-Magnetspeichervorrichtung nach einem vorangehenden Anspruch, dadurch gekennzeichnet, daß die mehreren Magnetspeicherzellen (MC) in einer Matrix angeordnet sind, wobei die Dünnschicht-Magnetspeichervorrichtung ferner umfaßt:

mehrere Wortleitungen (RWL1–RWLn), die jeweils entsprechend den Magnetspeicherzellenzeilen vorgesehen sind;

mehrere Bitleitungen (BL1–BLm), die jeweils entsprechend den Magnetspeicherzellenspalten vorgesehen sind; und

einen Spaltenauswahlabschnitt (CSG1–CSGm), der eine der mehreren Bitleitungen, die mit der ausgewählten Magnetspeicherzelle (MC) elektrisch gekoppelt ist, mit der ersten Datenleitung (DB) verbindet.

5. Dünnschicht-Magnetspeichervorrichtung nach einem

vorangehenden Anspruch, gekennzeichnet durch eine Scheinspeicherzelle (DMC) mit einem Zwischenwert der zwei Werte des elektrischen Widerstands jeder Magnetspeicherzelle (MC), wobei die zwei Werte des elektrischen Widerstands jeweils den zwei Ablagedatenpegeln entsprechen;

eine zweite Datenleitung (/DB, DB), die in der Datenleseoperation über die Scheinspeicherzelle (DMC) elektrisch mit der ersten Spannung (VSS) gekoppelt wird;

eine zweite Vorladeschaltung (61b), die die zweite Datenleitung (/DB, DB) vor der Datenleseoperation auf die Vorladespannung (Vpr) einstellt;

eine zweite Leseansteuerschaltung (62b), die der zweiten Datenleitung (/DB, DB) in der Datenleseoperation einen Datenlesestrom zuführt; und

einen zweiten Ladungstransferrückkopplungs-Verstärkerabschnitt (101), der zwischen der zweiten Datenleitung (/DB, DB) und einem zweiten internen Knoten (N2) vorgesehen ist, um eine Spannung auf der zweiten Datenleitung (/DB, DB) aufrechtzuerhalten und gemäß einem Integralwert des durch die zweite Datenleitung (/DB, DB) fließenden Datenlesestroms an dem zweiten internen Knoten (N2) eine zweite Ausgangsspannung (Vout2) zu erzeugen, wobei

der Verstärkerabschnitt (140) die Lesedaten gemäß einer Spannungsdifferenz zwischen dem ersten und dem zweiten internen Knoten (N1, N2) erzeugt.

6. Dünnfilm-Magnetspeichervorrichtung nach Anspruch 5, dadurch gekennzeichnet, daß die Vorladespannung (Vpr) die erste Spannung (VSS) ist und daß die erste bzw. die zweite Leseansteuerschaltung (62a, 62b) in der Datenleseoperation die erste und die zweite Datenleitung (DB, DB) mit einer zweiten Spannung (VDD) koppelt.

7. Dünnfilm-Magnetspeichervorrichtung nach einem der Ansprüche 1 bis 4, gekennzeichnet durch eine Scheinspeicherzelle (DMC) mit einem Zwischenwert der zwei Werte des elektrischen Widerstands jeder Magnetspeicherzelle (MC), wobei die zwei Werte des elektrischen Widerstands jeweils den zwei Ablagedatenpegeln entsprechen;

eine zweite Datenleitung (/DB, DB), die in der Datenleseoperation über die Scheinspeicherzelle (DMC) elektrisch mit der ersten Spannung (VSS) gekoppelt ist;

eine zweite Vorladeschaltung (61b), die die zweite Datenleitung (/DB, DB) vor der Datenleseoperation auf die Vorladespannung (Vpr) einstellt;

eine zweite Leseansteuerschaltung (62b), die der zweiten Datenleitung (/DB, DB) in der Datenleseoperation den Datenlesestrom zuführt;

einen zweiten Ladungstransferrückkopplungs-Verstärkerabschnitt (101), der zwischen der zweiten Datenleitung (/DB, DB) und einem zweiten internen Knoten (N2) vorgesehen ist, um eine Spannung auf der zweiten Datenleitung (/DB, DB) aufrechtzuerhalten und gemäß einem Integralwert des durch die zweite Datenleitung (/DB, DB) fließenden Datenlesestroms an dem zweiten internen Knoten (N2) eine zweite Ausgangsspannung (Vout2) zu erzeugen; und

einen Ladungsrückkopplungsabschnitt (125), der zwischen dem zweiten internen Knoten (N2) und die erste Datenleitung (DB) geschaltet ist, um eine Änderung der zweiten Ausgangsspannung (Vout2) mit umgekehrter Polarität an die erste Datenleitung (DB) rückzukoppeln.

8. Dünnfilm-Magnetspeichervorrichtung nach An-

spruch 7, dadurch gekennzeichnet, daß die Vorladespannung (Vpr) die erste Spannung (VSS) ist und daß die erste bzw. die zweite Leseansteuerschaltung (62a, 62b) in der Datenleseoperation die erste und die zweite Datenleitung (DB, DB) mit einer zweiten Spannung (VDD) koppelt.

9. Dünnfilm-Magnetspeichervorrichtung, mit:

mehreren Magnetspeicherzellen (MC), die durch ein angelegtes Magnetfeld geschriebene Daten speichern, wobei jede der mehreren Magnetspeicherzellen (MC) enthält:

einen Magnetablageabschnitt (TMR), der gemäß einem Pegel der Ablagedaten einen ersten Wert des elektrischen Widerstands oder einen zweiten Wert des elektrischen Widerstands, der größer als der erste Wert des elektrischen Widerstands ist, besitzt, und

ein Speicherzellen-Auswahlgatter (ATR), das mit dem Magnetablageabschnitt (TMR) in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist;

einer ersten Datenleitung (BL, BL), die in der Datenleseoperation elektrisch mit dem Magnetablageabschnitt (TMR) und mit dem leitenden Speicherzellen-Auswahlgatter (ATR) einer ausgewählten Magnetspeicherzelle (MC) gekoppelt ist und einen Datenlesestrom empfängt;

einer Scheinspeicherzelle (DMC) mit einem Zwischenwert zwischen dem ersten und dem zweiten Wert des elektrischen Widerstands, wobei die Scheinspeicherzelle (DMC) enthält:

einen Scheinwiderstandsabschnitt (TMRd) mit dem ersten Wert des elektrischen Widerstands und

ein Scheinspeicherzellen-Auswahlgatter (ATRd), das mit dem Scheinwiderstandsabschnitt (TMRd) in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist;

einer zweiten Datenleitung (/BL, BL), die in der Datenleseoperation elektrisch mit dem Scheinwiderstandsabschnitt (TMRd) und mit dem leitenden Scheinspeicherzellen-Auswahlgatter (ATRd) gekoppelt ist und den Datenlesestrom empfängt; und

einer Datenleseschaltung (54), die anhand einer Spannungsänderung auf der ersten und auf der zweiten Datenleitung (BL, BL) die Lesedaten erzeugt, wobei ein Wert des elektrischen Widerstands des leitenden Scheinspeicherzellen-Auswahlgatters (ATRd) größer als ein dritter Wert (R(TG)) des elektrischen Widerstands und kleiner als eine Summe einer Differenz ( $\Delta R$ ) zwischen dem zweiten und dem ersten Wert des elektrischen Widerstands und dem dritten Wert des elektrischen Widerstands ist, wobei der dritte Wert des elektrischen Widerstands ein Wert des elektrischen Widerstands des leitenden Speicherzellen-Auswahlgatters (ATR) ist.

10. Dünnfilm-Magnetspeichervorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß

jedes der Speicherzellen-Auswahlgatter einen ersten Feldeffekttransistor (ATR) enthält, und

das Scheinspeicherzellen-Auswahlgatter (ATRd) einen zweiten Feldeffekttransistor (Q1) enthält, wobei wenigstens dessen Gate-Breite oder dessen Gate-Länge verschieden von der des ersten Feldeffekttransistors ist.

11. Dünnfilm-Magnetspeichervorrichtung nach Anspruch 9, dadurch gekennzeichnet, daß

jedes der Speicherzellen-Auswahlgatter einen ersten Feldeffekttransistor (ATR) enthält,

das Scheinspeicherzellen-Auswahlgatter (ATRd) einen zweiten Feldeffekttransistor (Q2) enthält, der den dritten Wert des elektrischen Widerstands besitzt, wenn er leitend ist, und einen dritten Feldeffekttransistor (Q3)

enthält, der mit dem zweiten Feldeffekttransistor (Q2) in Serie geschaltet ist und dessen Wert des elektrischen Widerstands kleiner als die Differenz ( $\Delta R$ ) ist, wenn er leitend ist, und

der zweite Feldeffekttransistor (Q2) gemeinsam mit dem ersten Feldeffekttransistor (ATR) konstruiert ist.  
 12. Dünnfilm-Magnetspeichervorrichtung nach einem der Ansprüche 9 bis 11, dadurch gekennzeichnet, daß der Scheinwiderstandsabschnitt (TMRd) einen Magnetablageabschnitt zum Speichern eines dem ersten Wert des elektrischen Widerstands entsprechenden Datenpegels enthält, und der in dem Scheinwiderstandsabschnitt enthaltene Magnetablageabschnitt die gleiche Konstruktion wie der in jeder Magnetspeicherzelle (MC) enthaltene Magnetablageabschnitt (TMR) besitzt.

13. Dünnfilm-Magnetspeichervorrichtung, mit:  
 mehreren Magnetspeicherzellen (MC), die durch ein angelegtes Magnetfeld geschriebene Daten speichern;  
 einer Scheinspeicherzelle (DMC), die in der Datenleseoperation mit einer ausgewählten der mehreren Magnetspeicherzellen (MC) verglichen wird, wobei sowohl die Magnetspeicherzellen (MC) als auch die Scheinspeicherzellen (DMC) enthalten:  
 einen Magnetablageabschnitt (TMR), der gemäß einem Pegel der Ablagedaten einen ersten Wert des elektrischen Widerstands oder einen zweiten Wert des elektrischen Widerstands, der größer als der erste Wert des elektrischen Widerstands ist, besitzt, und  
 ein Speicherzellen-Auswahlgatter (ATR), das mit dem Magnetablageabschnitt (TMR) in Serie geschaltet ist und leitend ist, wenn es ausgewählt ist, wobei der in der Scheinspeicherzelle (DMC) enthaltene Magnetablageabschnitt (TMR) Daten auf einem dem ersten Wert des elektrischen Widerstands entsprechenden Pegel speichert;  
 einer ersten Datenleitung (DB), die in der Datenleseoperation elektrisch mit der ausgewählten Magnetspeicherzelle (MC) oder mit der ausgewählten Scheinspeicherzelle (DMC) gekoppelt wird;  
 einer zweiten Datenleitung (/DB), die elektrisch mit der ausgewählten Magnetspeicherzelle (MC) gekoppelt wird, wenn die erste Datenleitung (DB) elektrisch mit der Scheinspeicherzelle (DMC) gekoppelt wird, während sie elektrisch mit der Scheinspeicherzelle (DMC) gekoppelt wird, wenn die erste Datenleitung (DB) elektrisch mit der ausgewählten Magnetspeicherzelle (MC) gekoppelt wird;  
 einer Datenleseschaltung (54), die in der Datenleseoperation der ersten und zweiten Datenleitung (DB,/DB) einen Datenlesestrom zuführt und anhand einer Spannungsänderung auf der ersten und auf der zweiten Datenleitung (DB,/DB) die Lesedaten erzeugt; und  
 einer Scheinwiderstands-Additionsschaltung (150, 151), die wahlweise einen Widerstandsabschnitt (155, 157) mit der ersten oder mit der zweiten Datenleitung (DB,/DB), die elektrisch mit der Scheinspeicherzelle (DMC) gekoppelt ist, in Serie schaltet, wobei der Widerstandsabschnitt (155, 157) einen Wert ( $\Delta R/2$ ) des elektrischen Widerstands besitzt, der kleiner als eine Differenz zwischen dem ersten und dem zweiten Wert des elektrischen Widerstands ist.

14. Dünnfilm-Magnetspeichervorrichtung nach Anspruch 13, dadurch gekennzeichnet, daß der Widerstandsabschnitt (155, 157) einen Feldeffekttransistor (157) enthält, der an seinem Gate eine veränderliche Steuerspannung ( $V_m$ ) empfängt.

15. Dünnfilm-Magnetspeichervorrichtung nach An-

spruch 13 oder 14, dadurch gekennzeichnet, daß die Scheinwiderstands-Additionsschaltung (150, 151) die erste oder die zweite Datenleitung (DB, /DB), mit der der Widerstandsabschnitt (155, 157) verbunden wird, gemäß einem Teil einer Zeilenadresse (RA0) auswählt.

---

Hierzu 13 Seite(n) Zeichnungen

---



- Leerseite -

FIG. 1

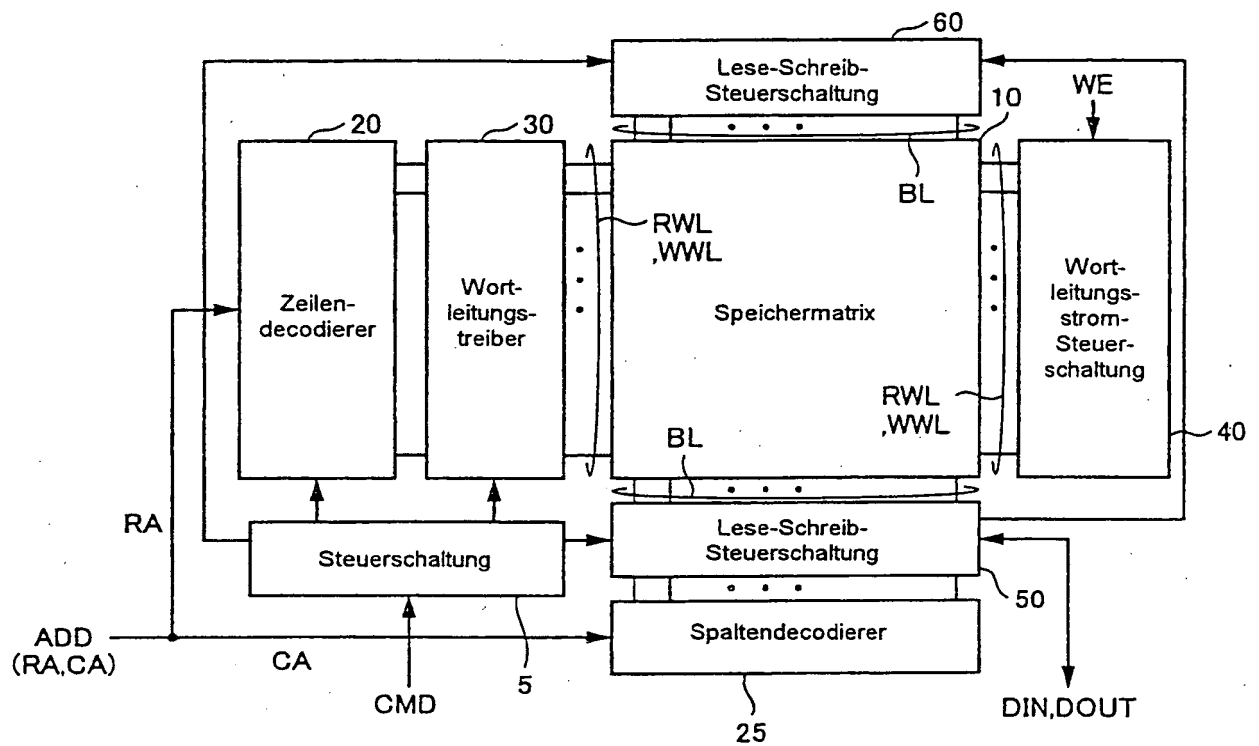
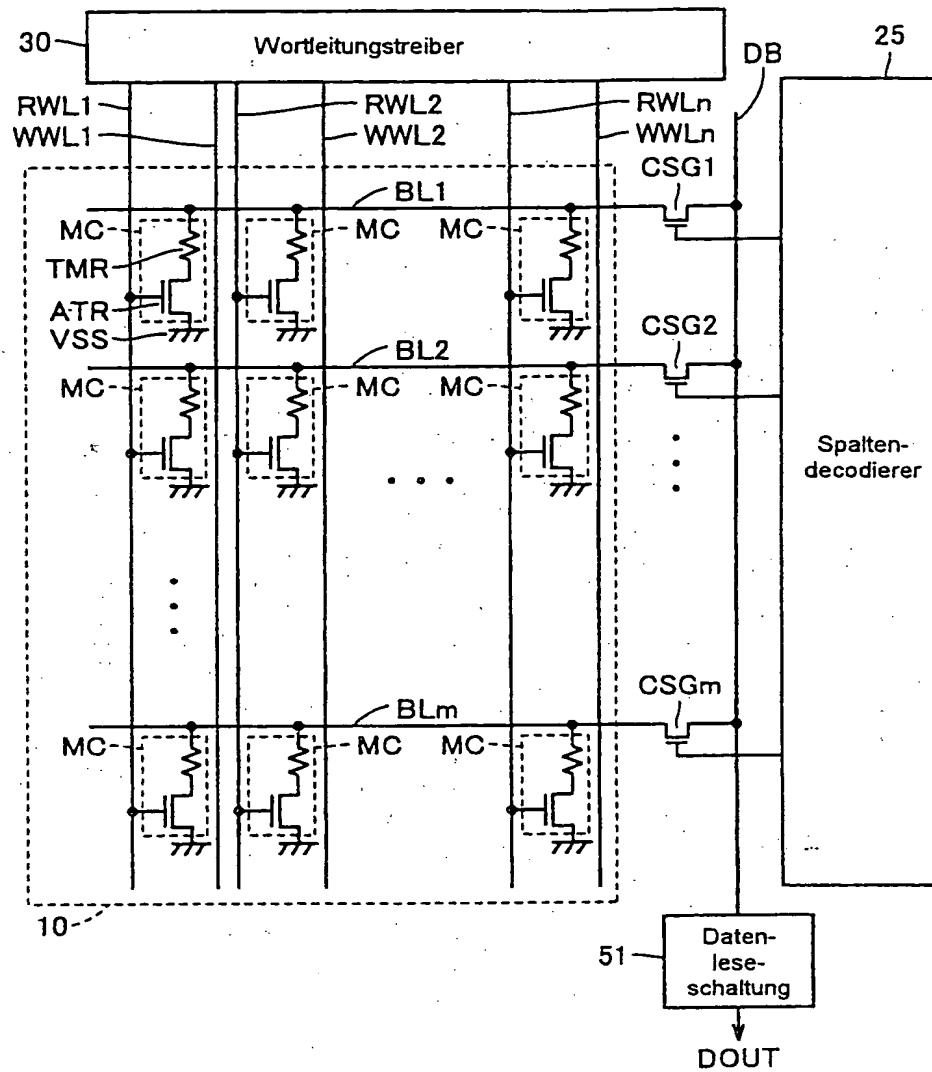


FIG.2



51

FIG.3

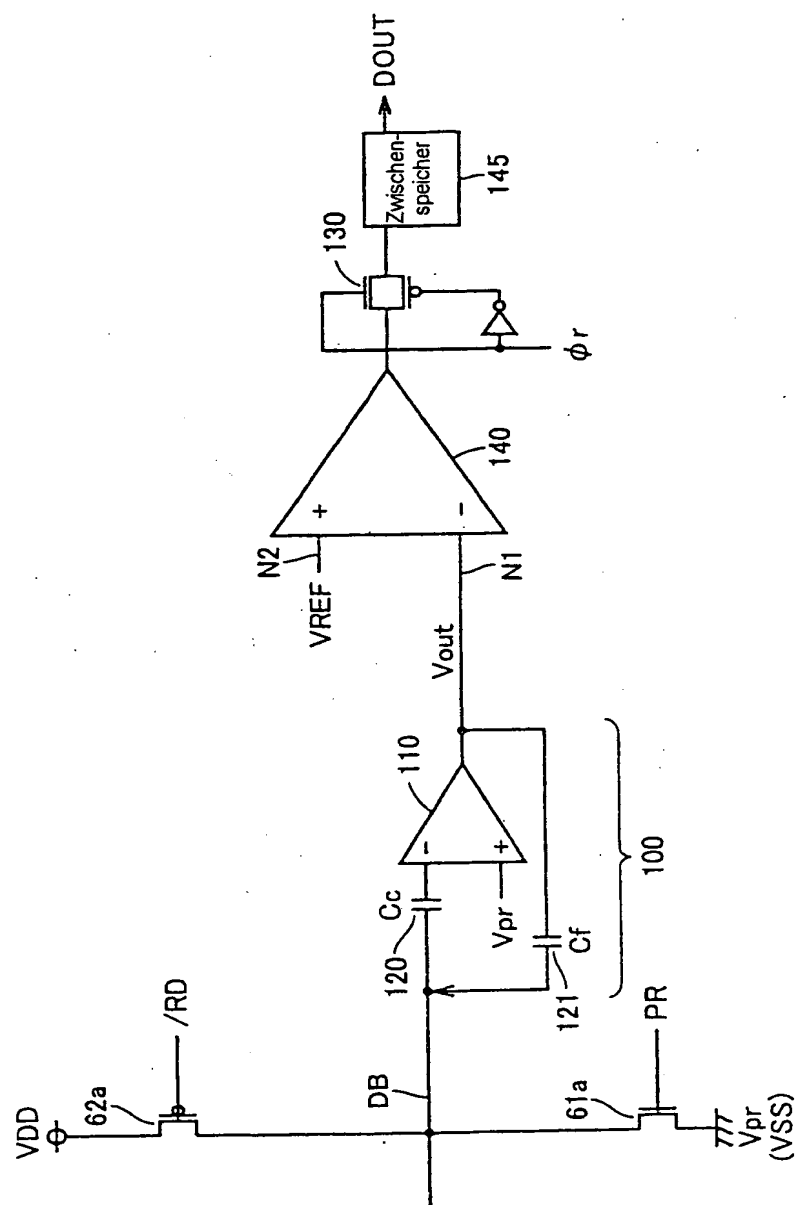


FIG.4

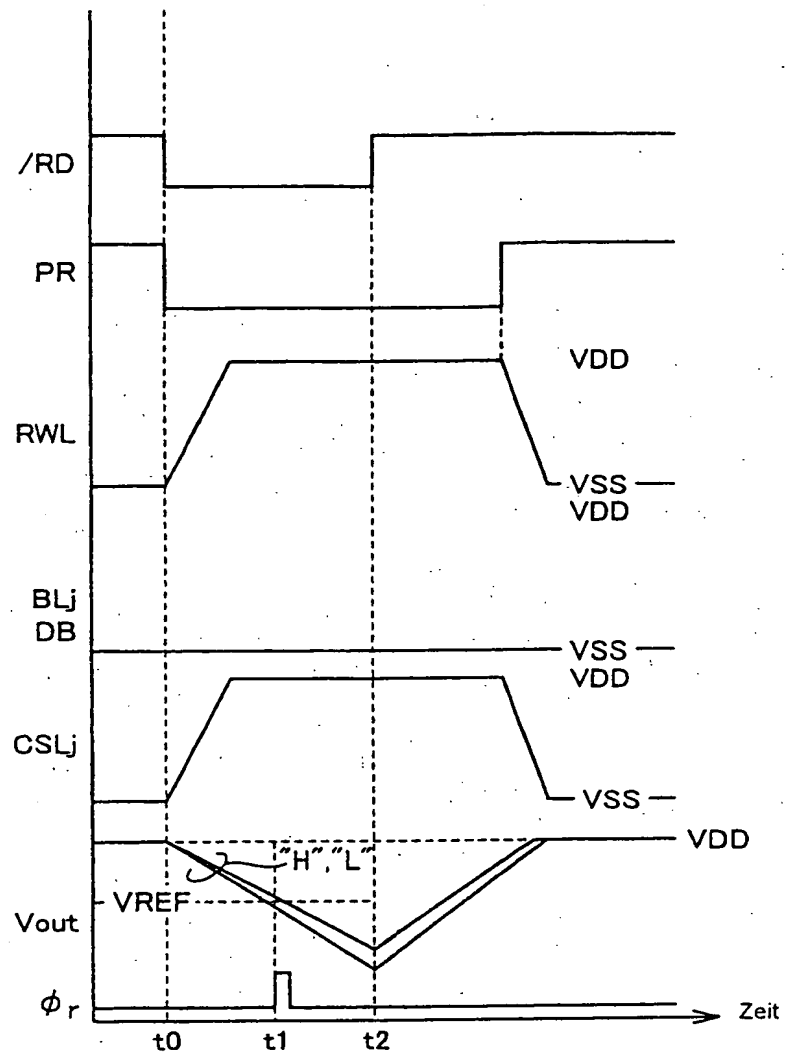
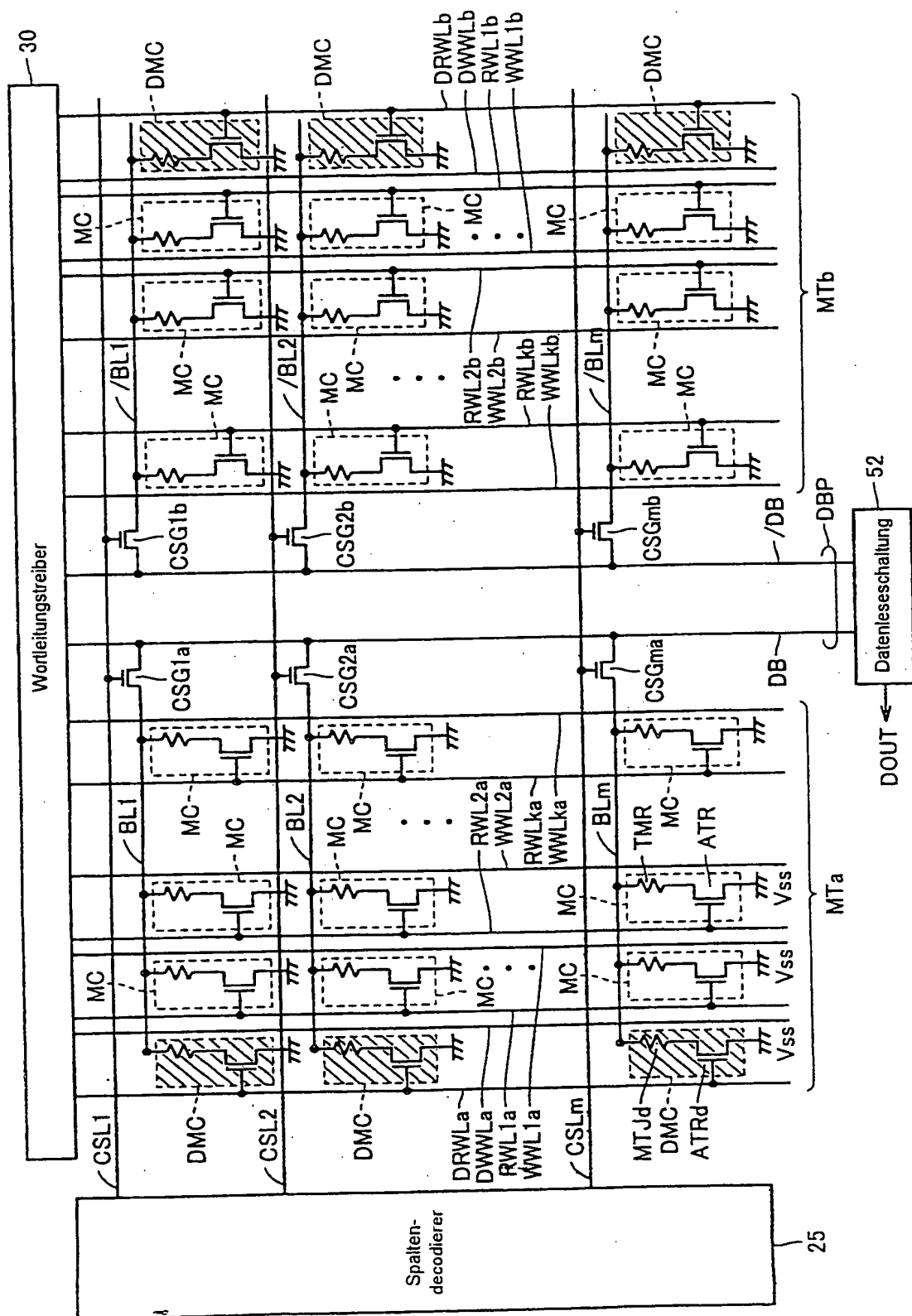


FIG.5





6/13

25.05.03

FIG.6

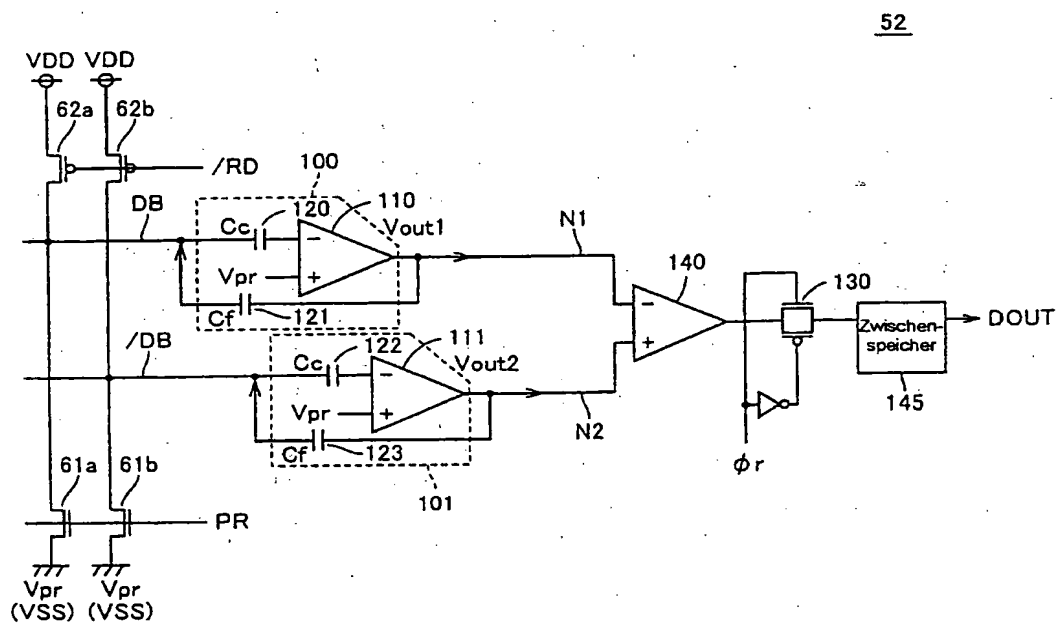


FIG. 7

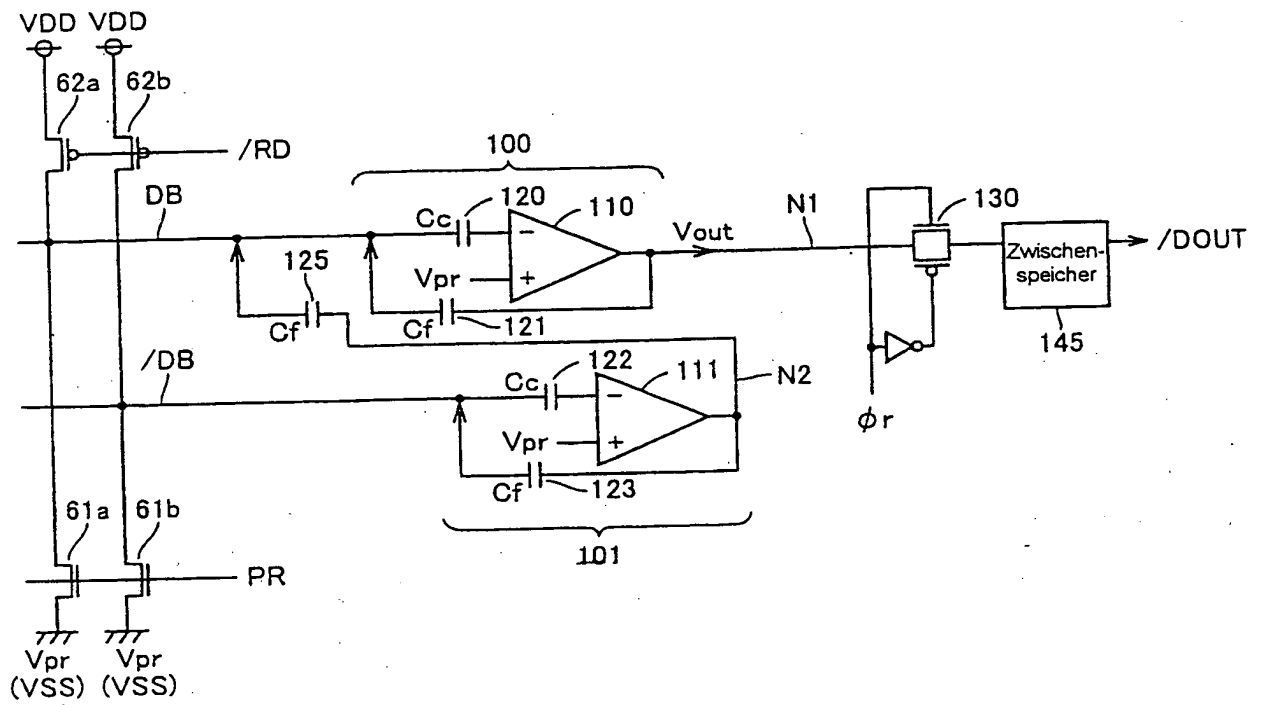
53

FIG.8

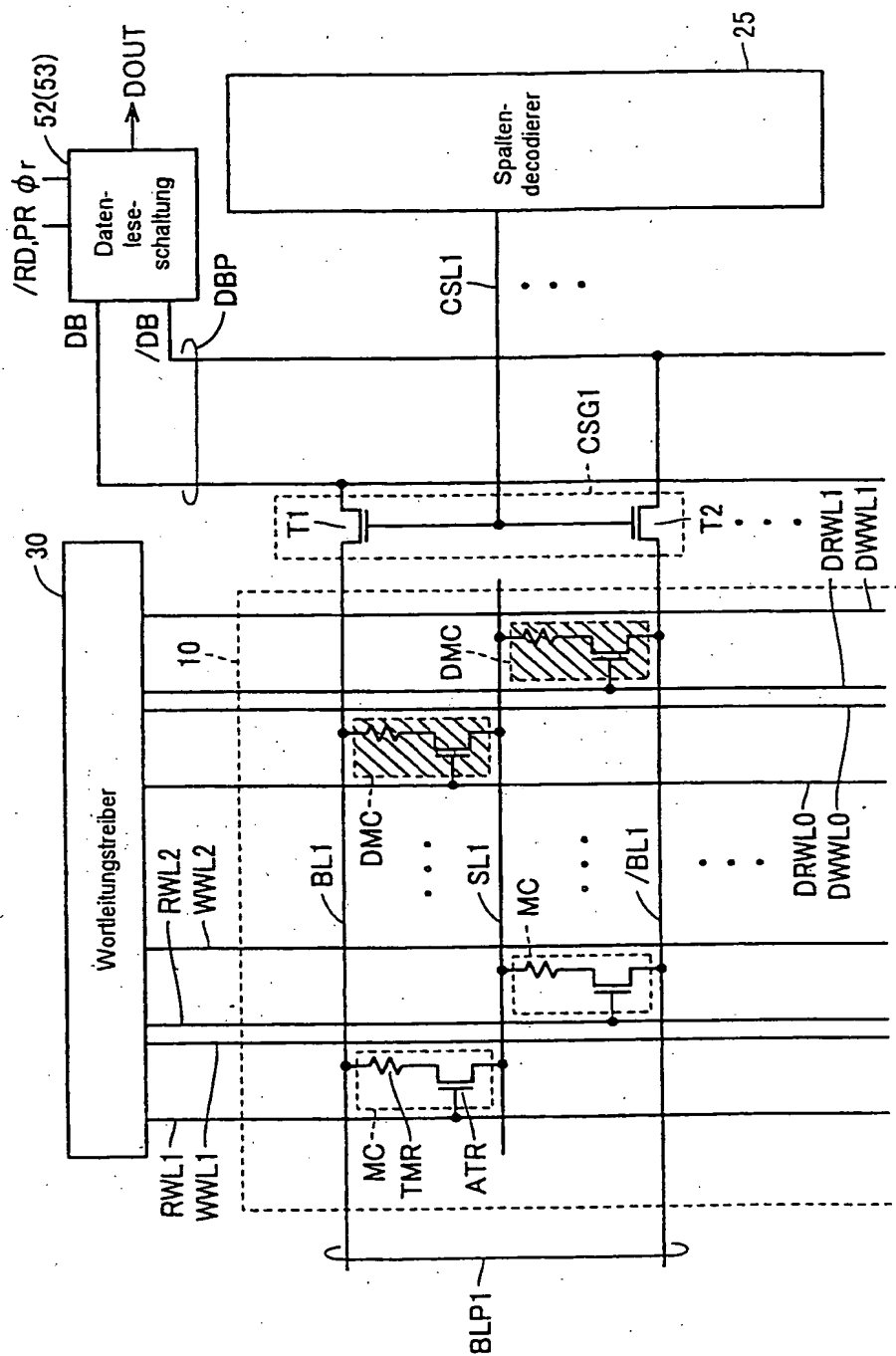


FIG.9A

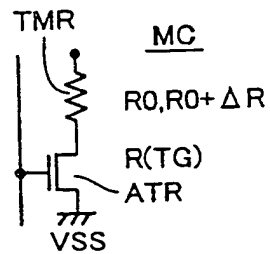


FIG.9B

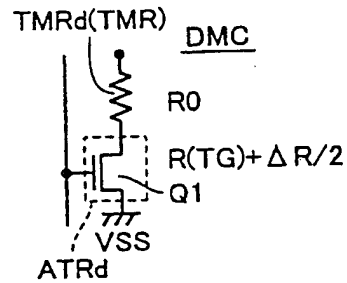


FIG.9C

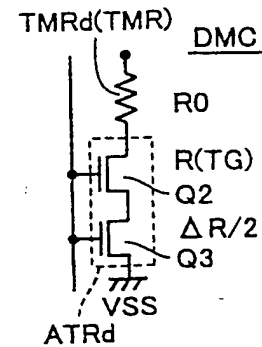


FIG.10A

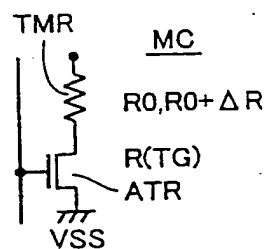


FIG.10B

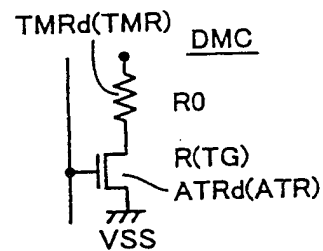


FIG. 11

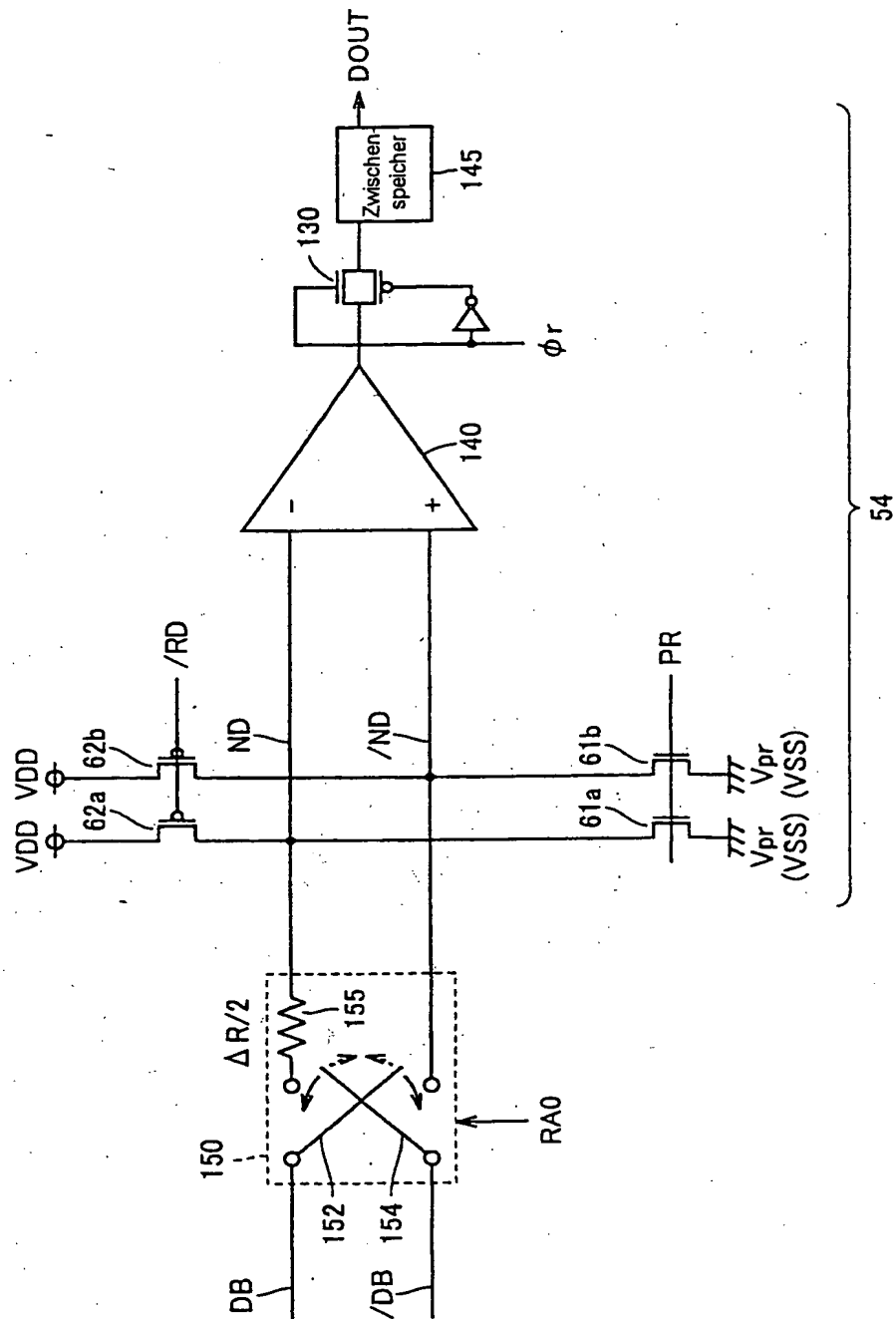






FIG.13 Stand der Technik

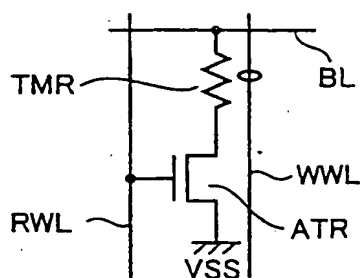


FIG.14 Stand der Technik

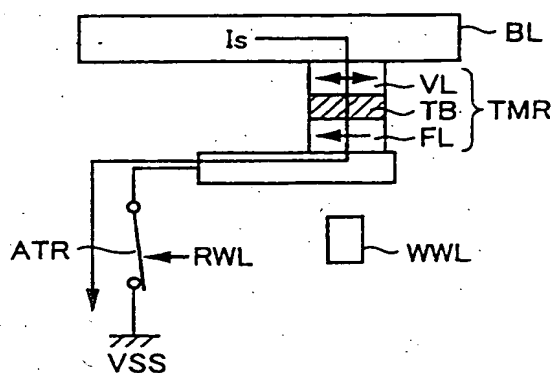


FIG.15 Stand der Technik

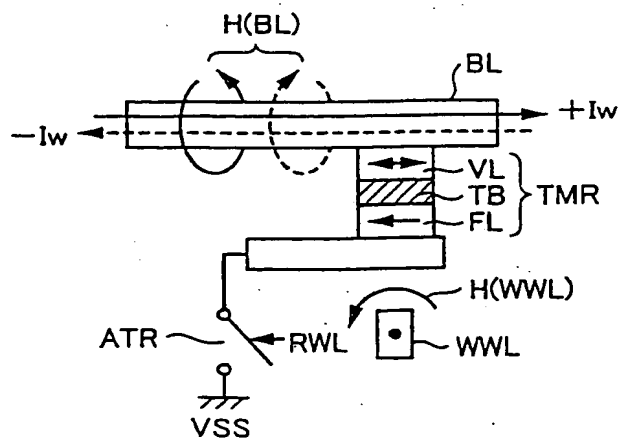


FIG.16 Stand der Technik

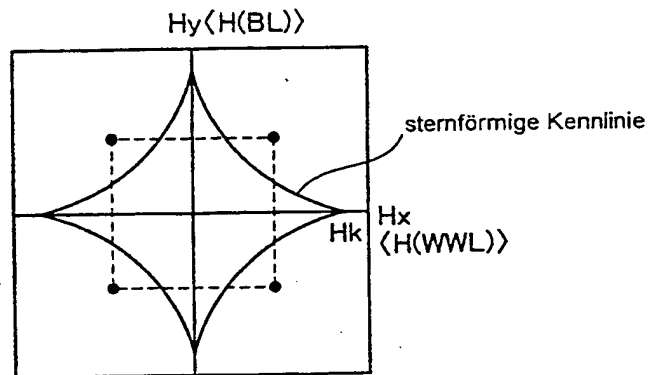
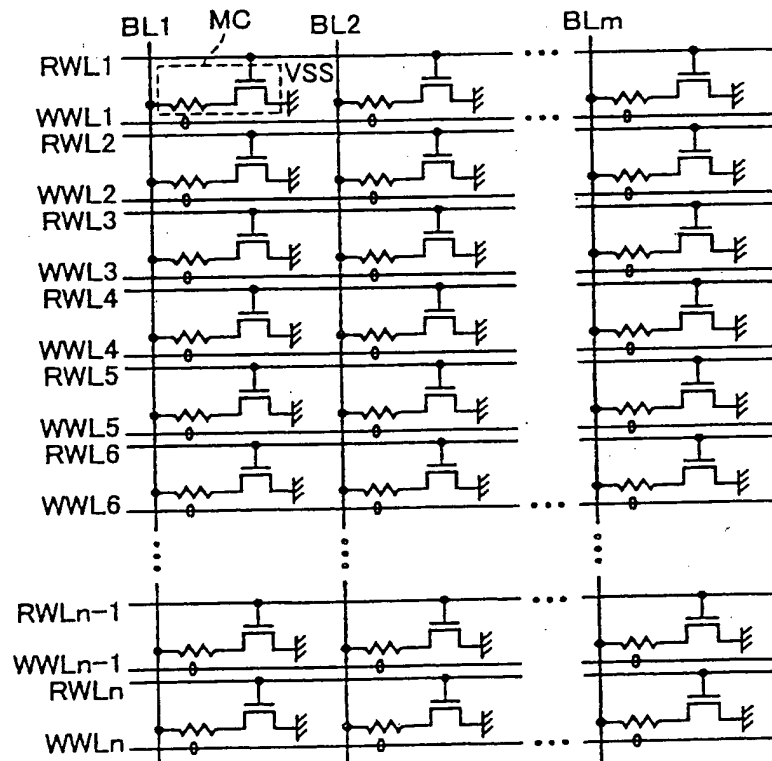


FIG.17 Stand der Technik



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**